



دانشگاه صنعتی امیرکبیر
دانشکده مهندسی برق

طراحی مدار های VLSI

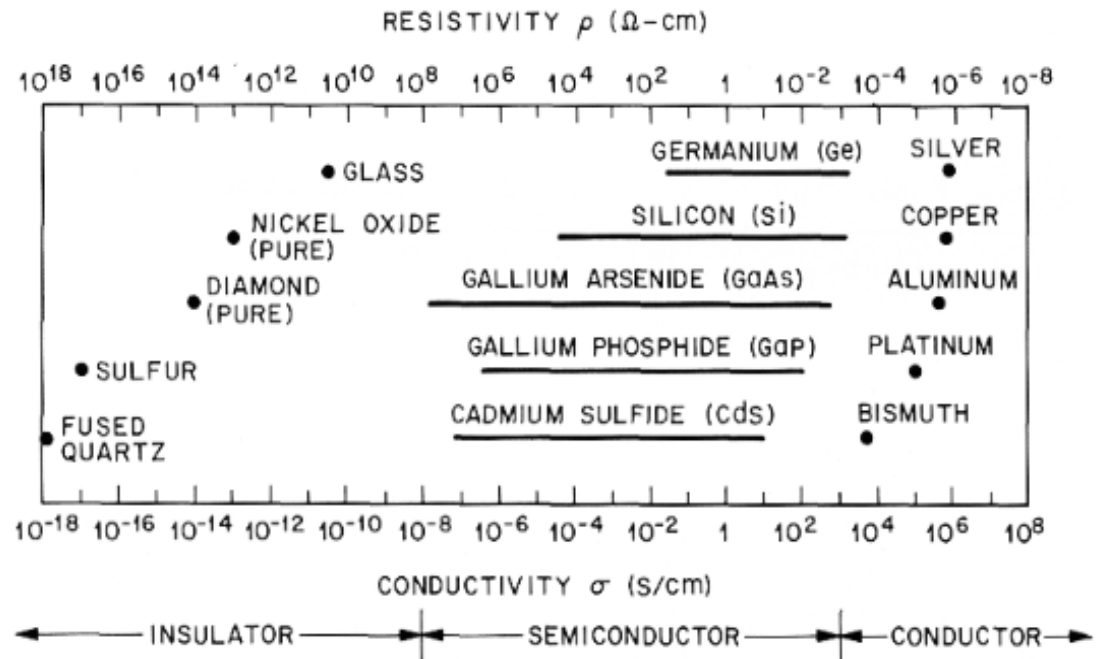
فصل دوم: فرایند ساخت مدار های مجتمع

مجید شالچیان

majid.shalchian@gmail.com

□ مواد بر حسب میزان هدایت الکتریکی به سه دسته هادی، نیمه هادی و یا عایق دسته بندی می شوند.

- Insulators
- Conductors
- Semiconductors



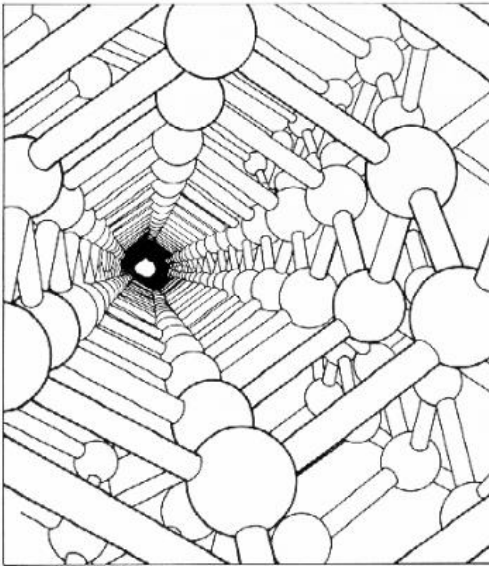
□ مواد نیمه هادی مختلفی وجود دارند که از بین آنها می توان به Si ، Ge اشاره کرد.

□ نیمه هادی های مرکب نظیر GaAs ، InP و SiGe دارای کاربرد های خاص مثل ادوات نوری یا مدار های سرعت بالا می باشند.

□ نیمه هادی سیلیکان که ماده اولیه آن سیلیس است و فراوانی زیادی دارد، پر کاربرد ترین نوع نیمه هادی ها است.

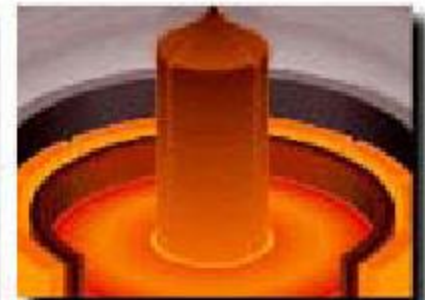
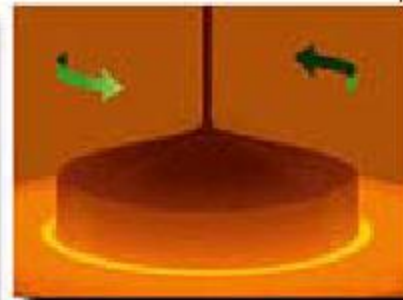
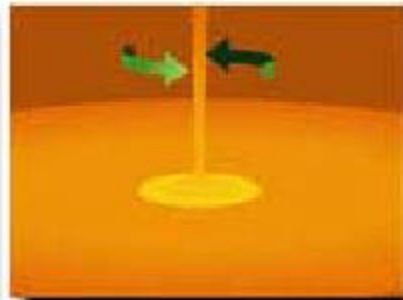
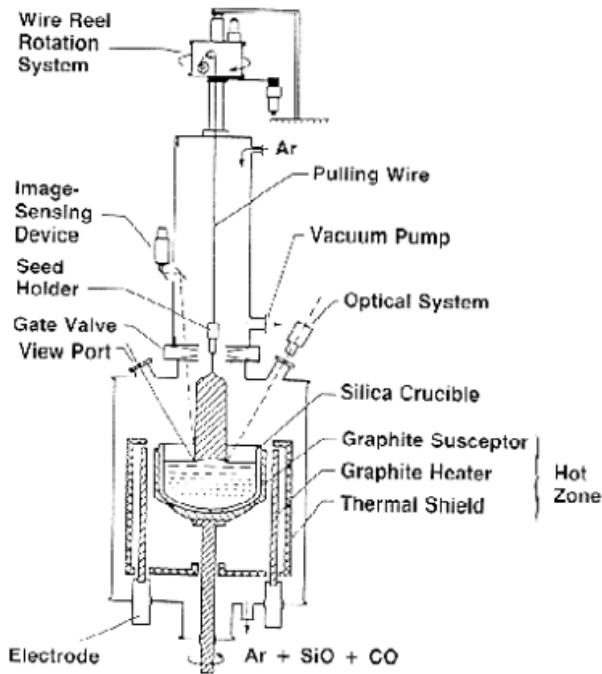
□ خلوص و ساختار کریستالی نیمه هادی ها نقش کلیدی در خواص آنها دارد.

□ فرایند ساخت باید تا حد ممکن ساده و نیز تکرار پذیر باشد.



فرایند رشد کریستال

□ سیلیکان با خلوص بالا، در دمای ۱۴۰۰ درجه داخل بوتله گرافیتی ذوب می شود. یک دانه کریستالی که جهت کریستالی مورد نظر را دارد وارد ماده مذاب می شود و بتدریج با حرکت دورانی و با سرعت کم (1mm/min) بالا کشیده می شود

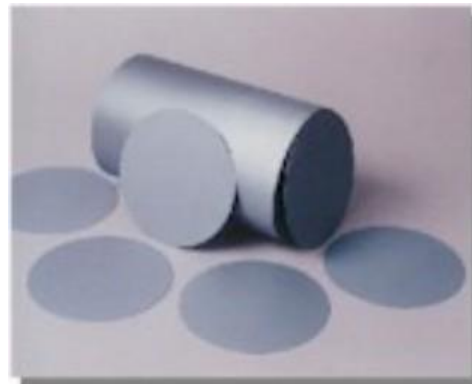


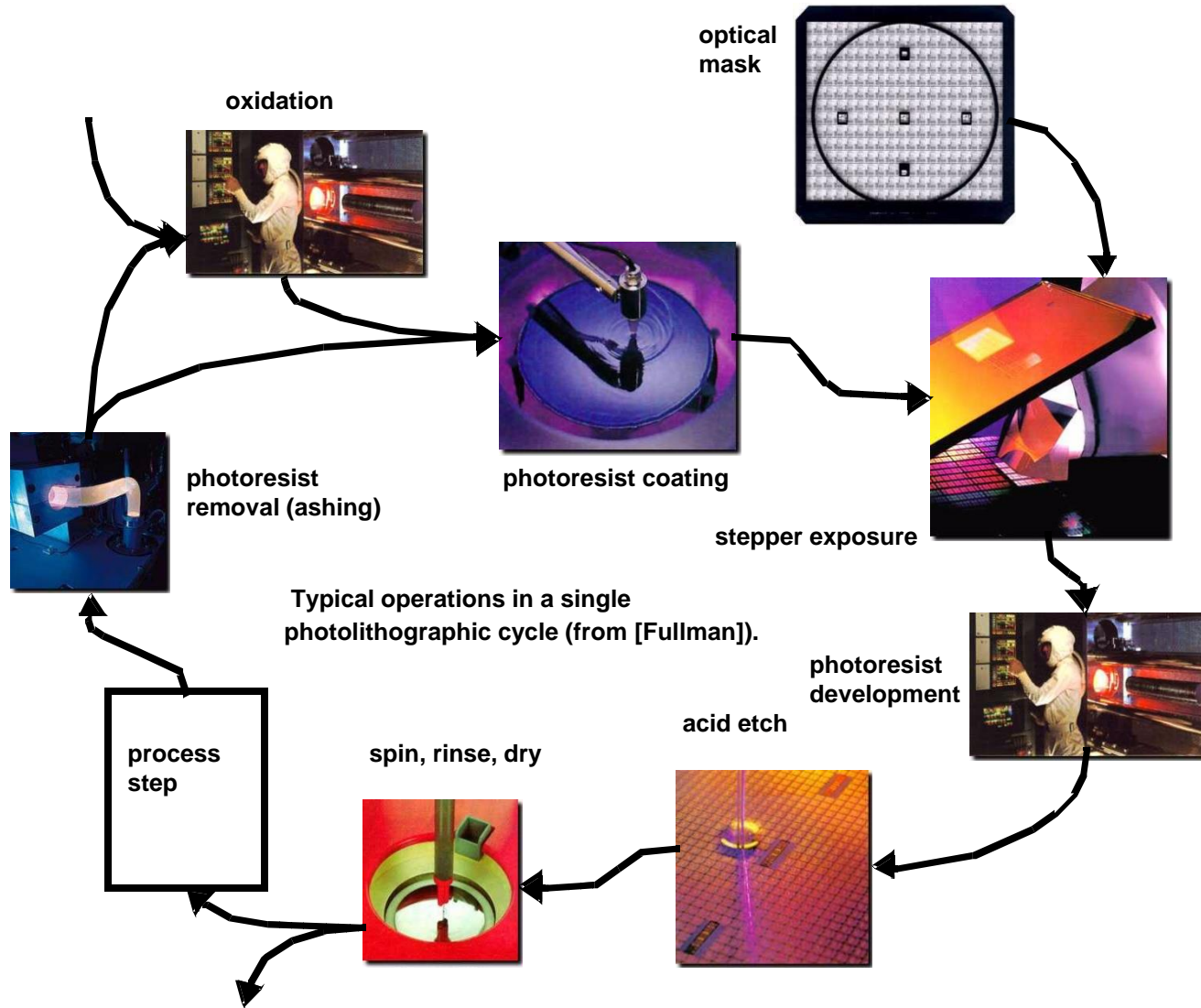


□ شمش های سیلیکان تک کریستال با قطر ۶، ۸ و ۱۲ اینچ رشد داده می شوند. (۱۵ - ۲۰ و ۳۰ سانت) معمولاً مفداری ناخالصی نیز در ماده مذاب اضافه می شود تا شمش دارای ناخالصی اولیه شود.

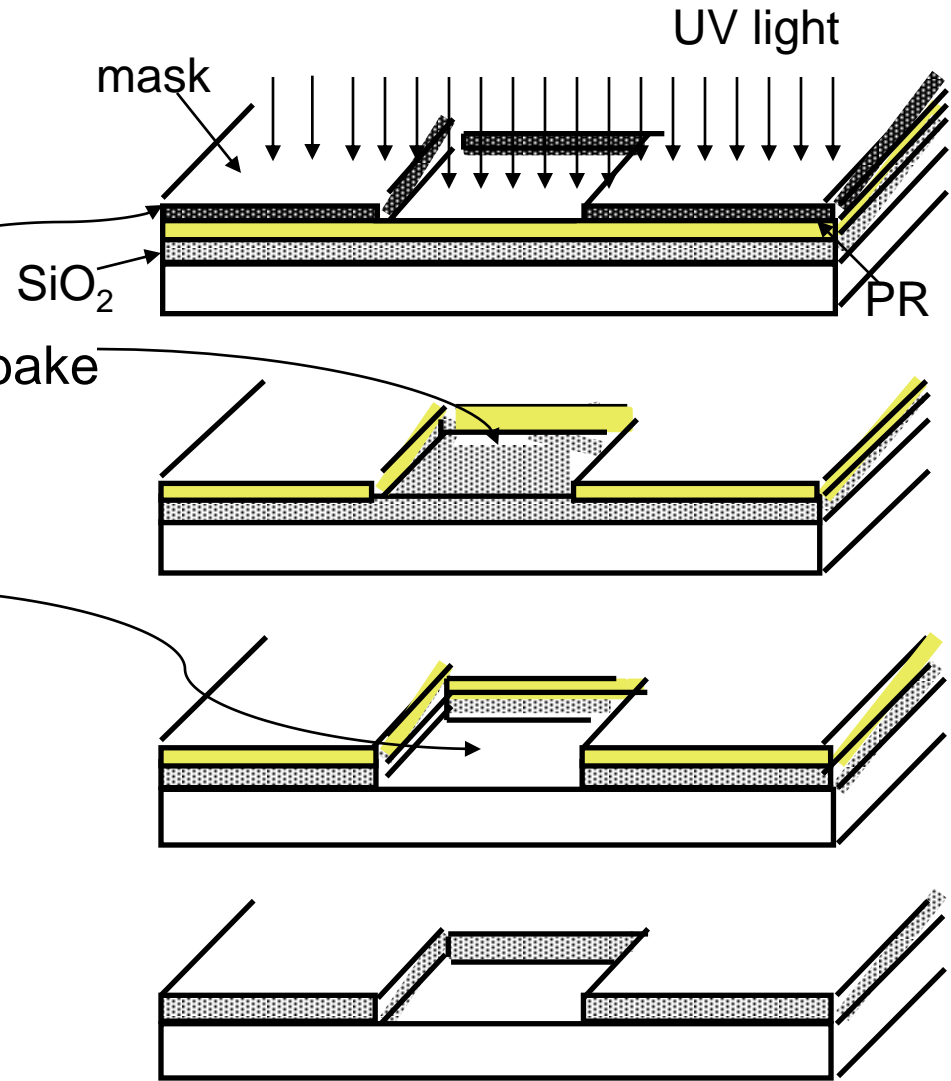
□ سپس شمش ها توسط دستگاه **wire cut** بریده می شوند و بصورت ویفرهایی با ضخامت ۴۰۰ میکرون تا ۱ میلیمتر در می آیند و روی سطح آنها **polish** می شود.

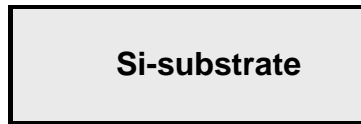
□ جهت کریستالی نیز روی ویفرها علامت گذاری می شود.



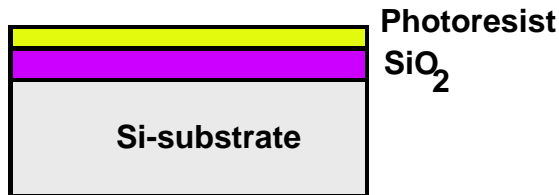


1. Oxidation
2. Photoresist (PR) coating
3. Stepper exposure
4. Photoresist development and bake
5. Acid etching
Unexposed (negative PR)
Exposed (positive PR)
6. Spin, rinse, and dry
7. Processing step
Ion implantation
Plasma etching
Metal deposition
8. Photoresist removal (ashing)

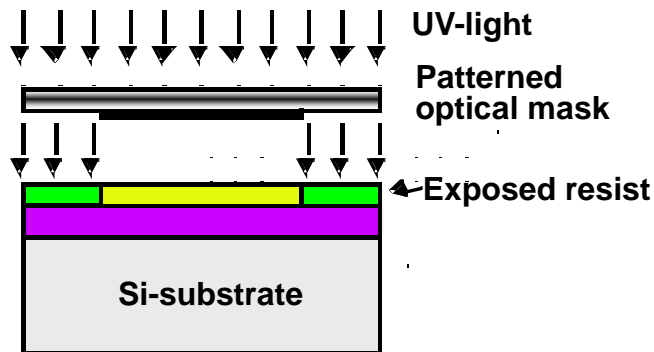




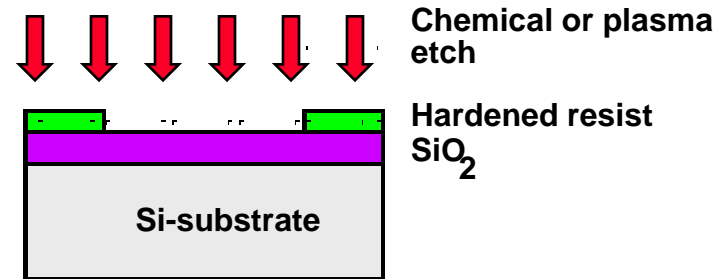
(a) Silicon base material



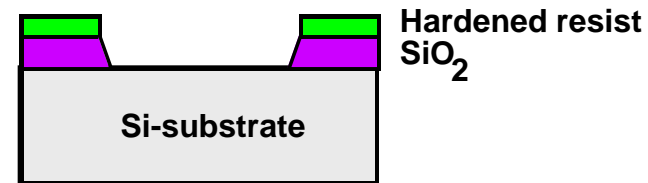
(b) After oxidation and deposition of negative photoresist



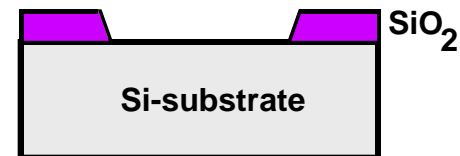
(c) Stepper exposure



(d) After development and etching of resist, chemical or plasma etch of SiO₂

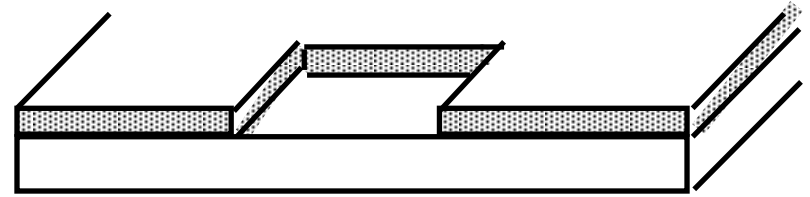


(e) After etching



(f) Final result after removal of resist

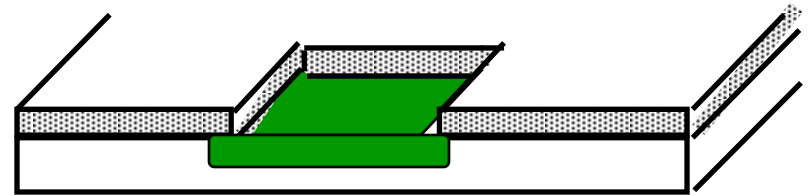
1. Area to be doped is exposed (photolithography)



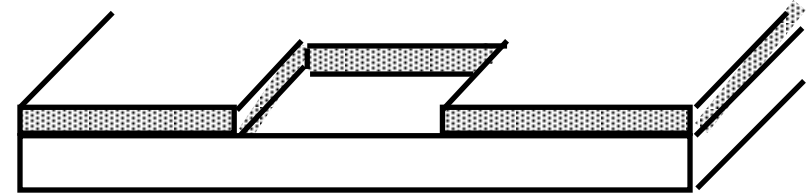
2. Diffusion

or

Ion implantation

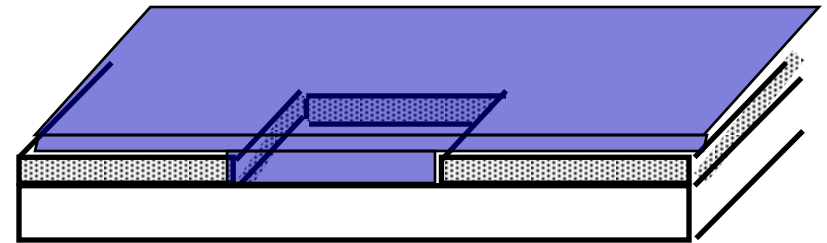


1. Pattern masking (photolithography)



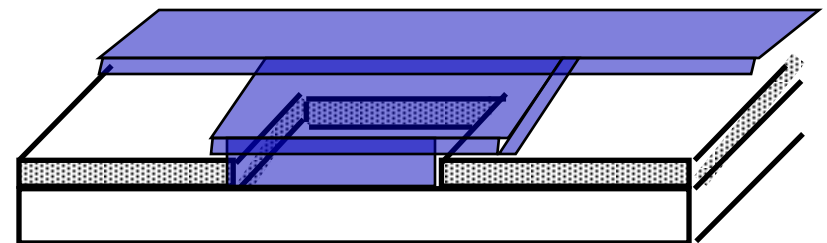
2. Deposit material over entire wafer

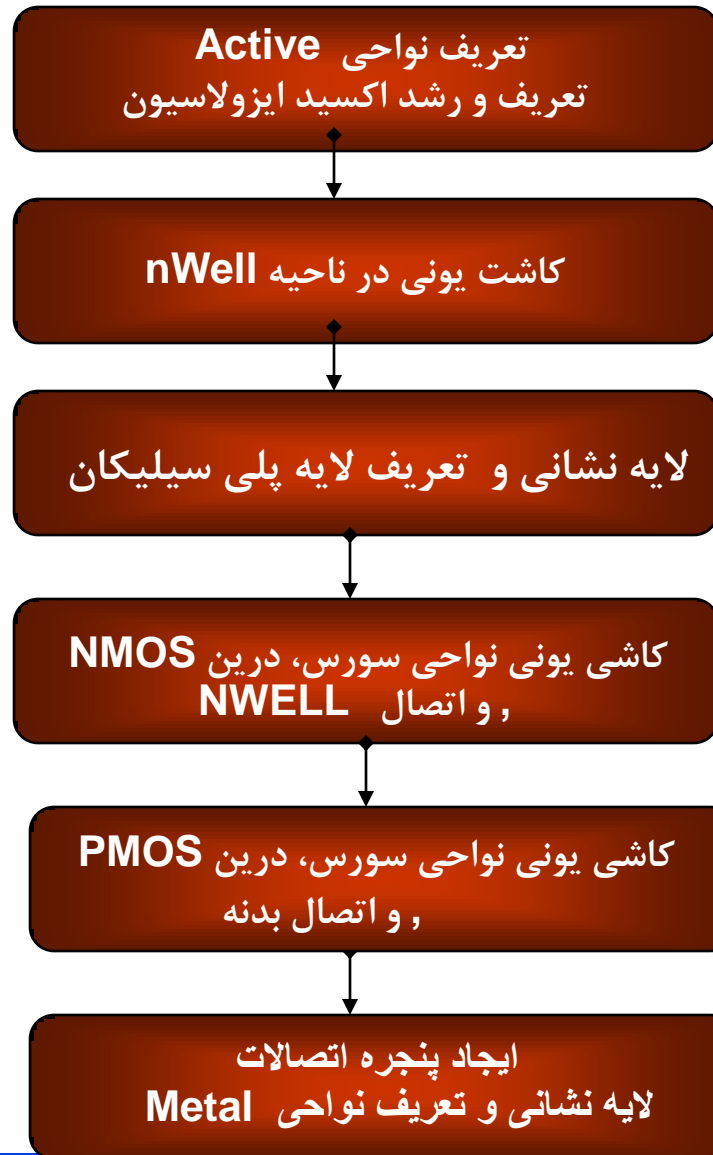
CVD (Si_3N_4)
chemical deposition
(polysilicon)
sputtering (Al)



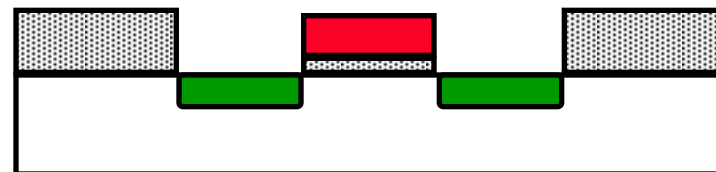
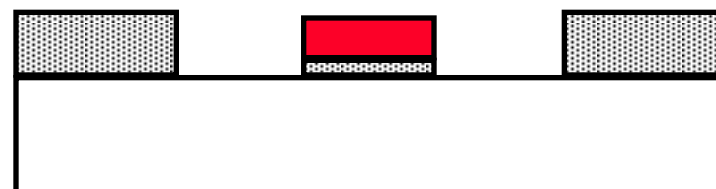
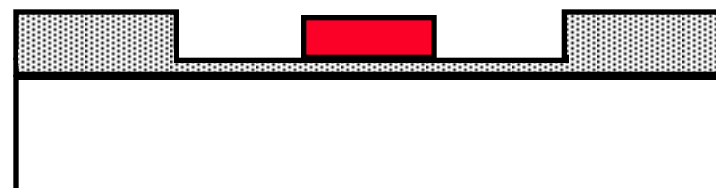
3. Etch away unwanted material

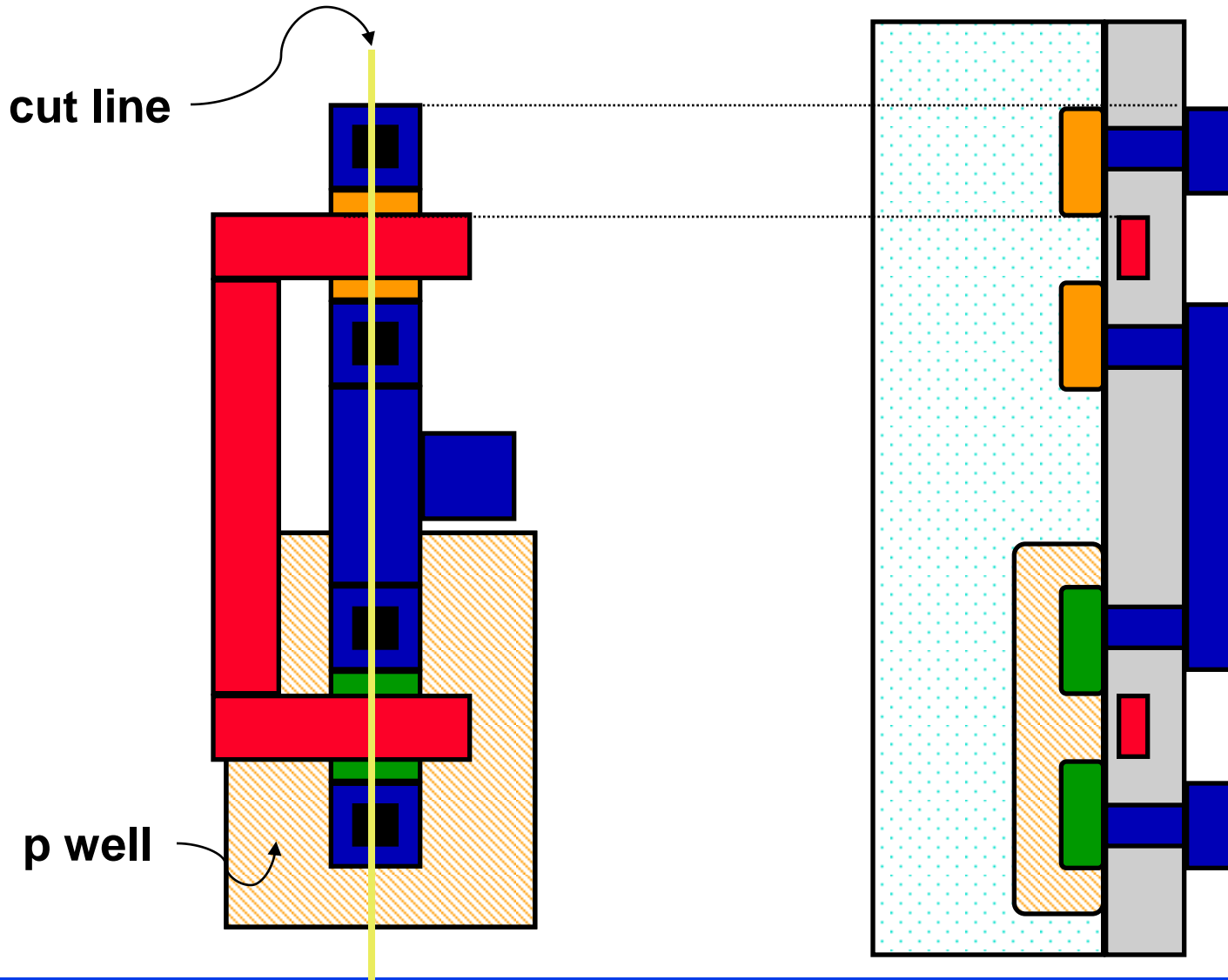
wet etching
dry (plasma) etching

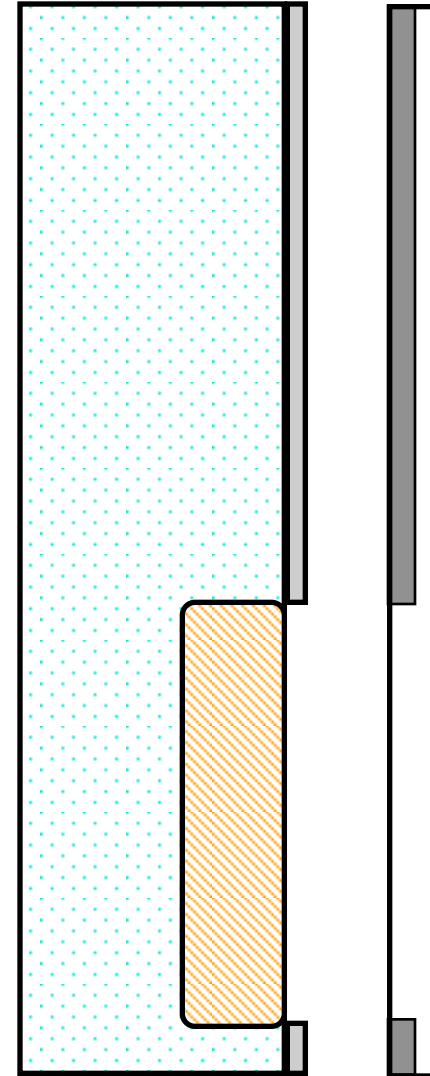
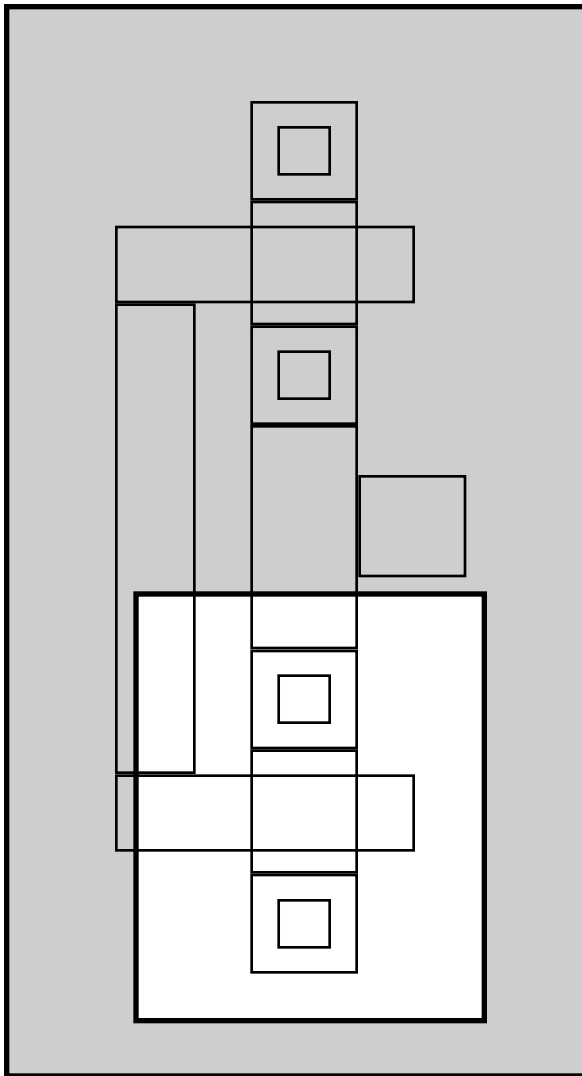


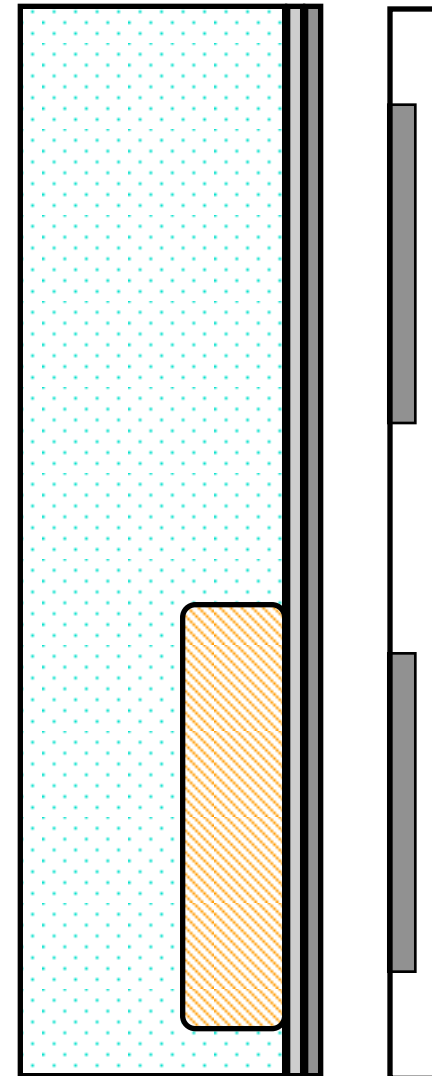
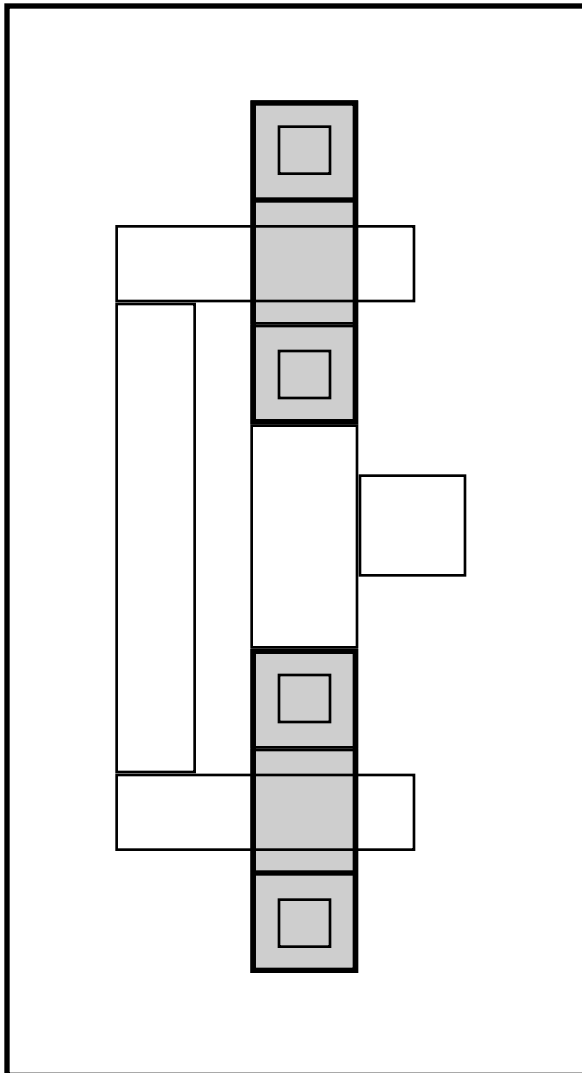


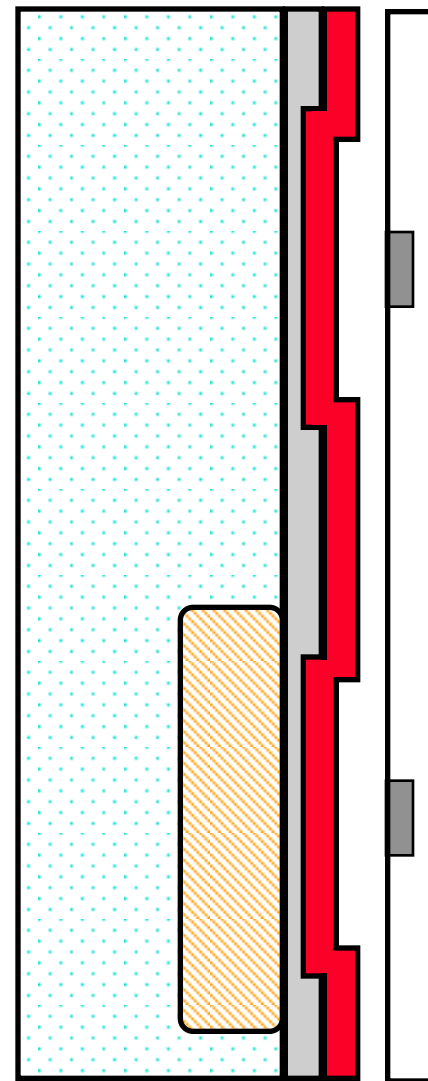
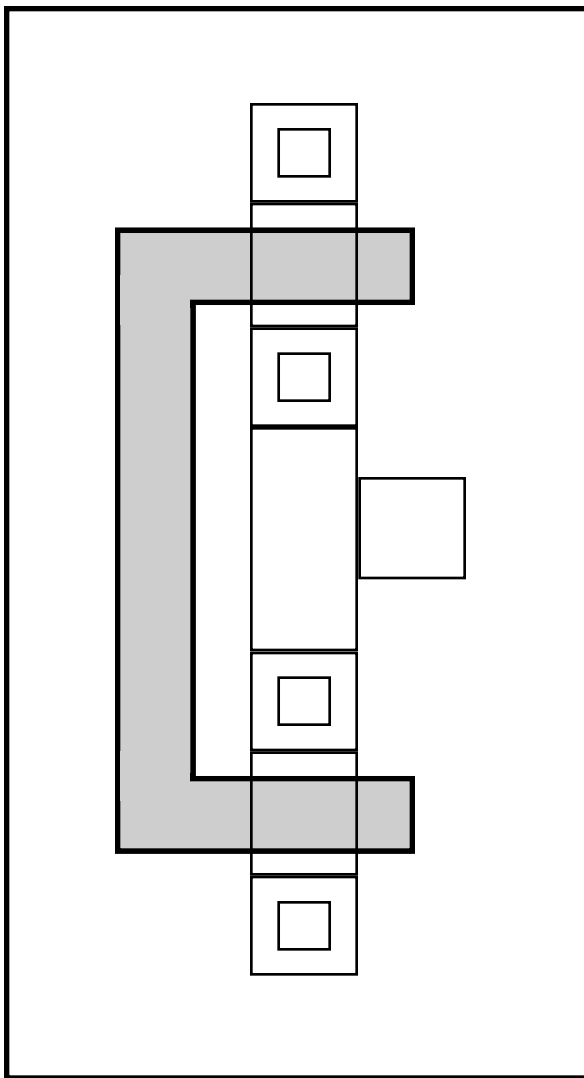
1. Create thin oxide in the “active” regions, thick elsewhere
2. Deposit polysilicon
3. Etch thin oxide from active region (poly acts as a mask for the diffusion)
4. Implant dopant

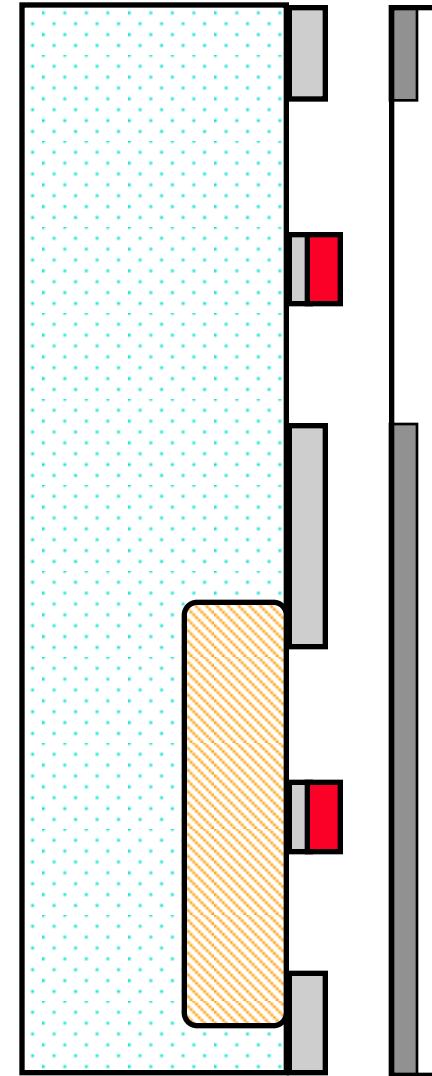
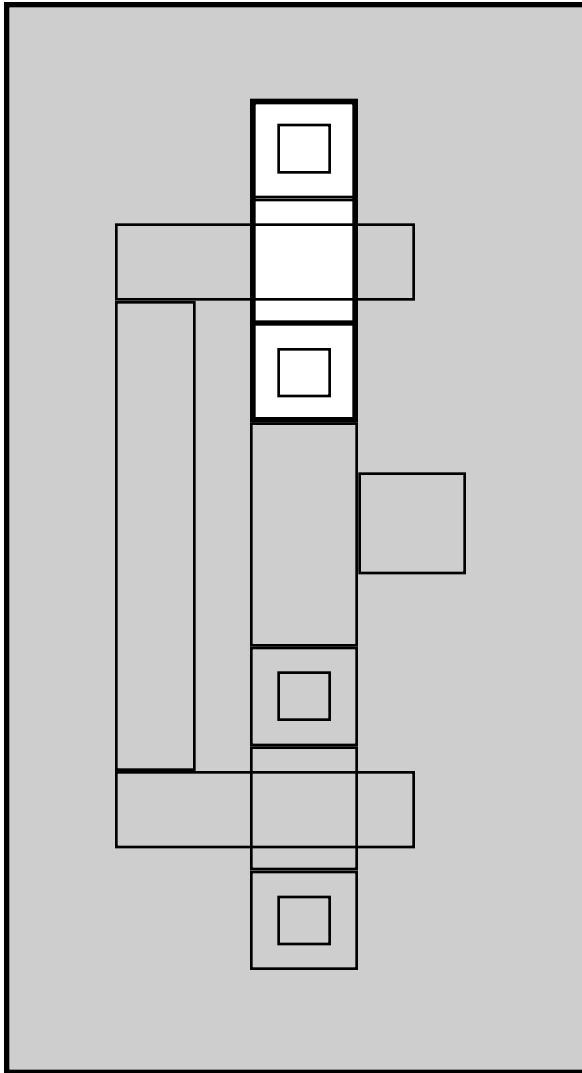


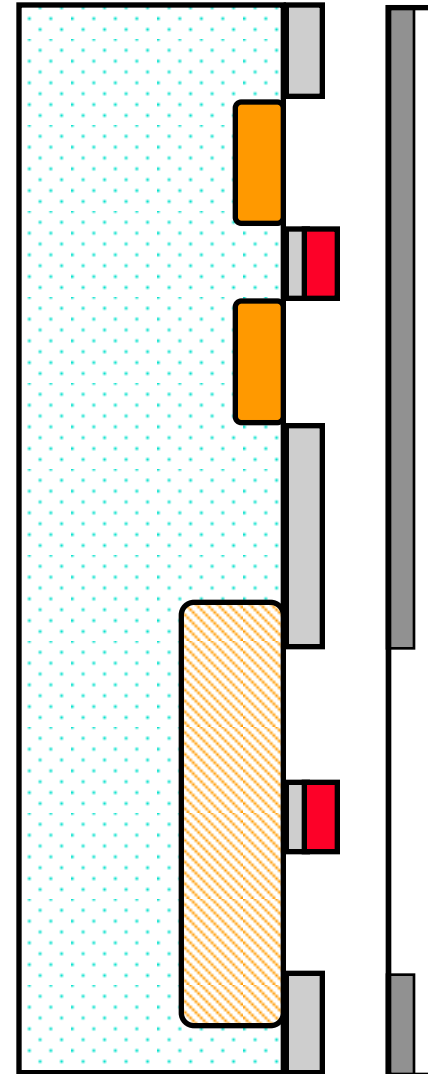
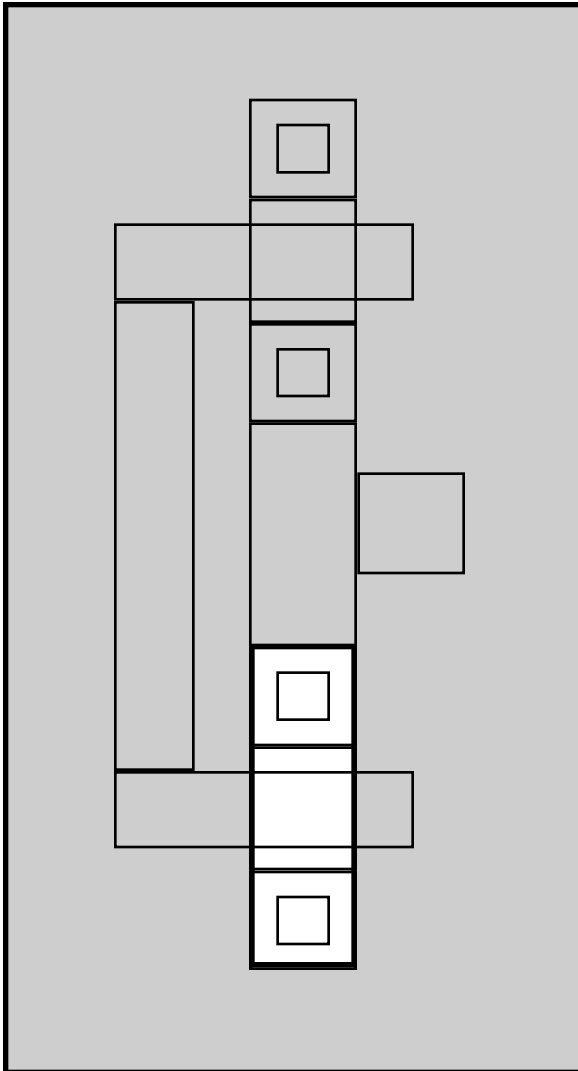


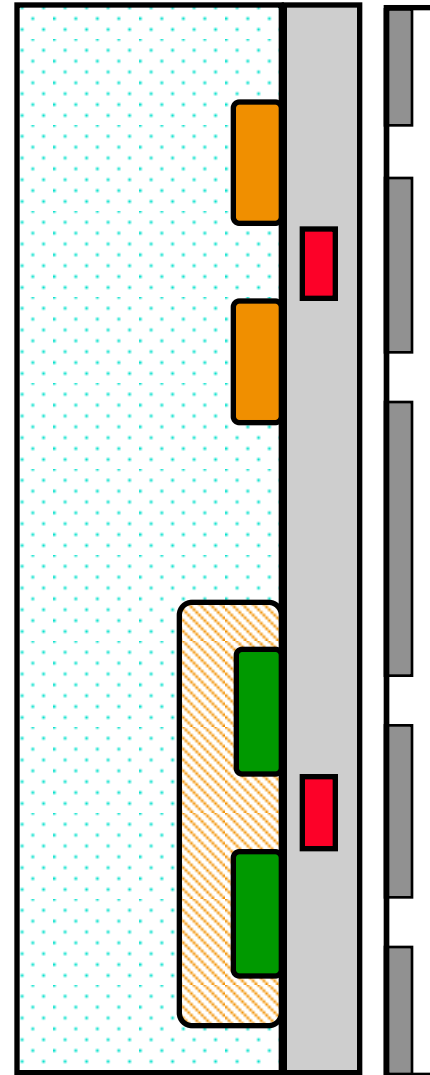
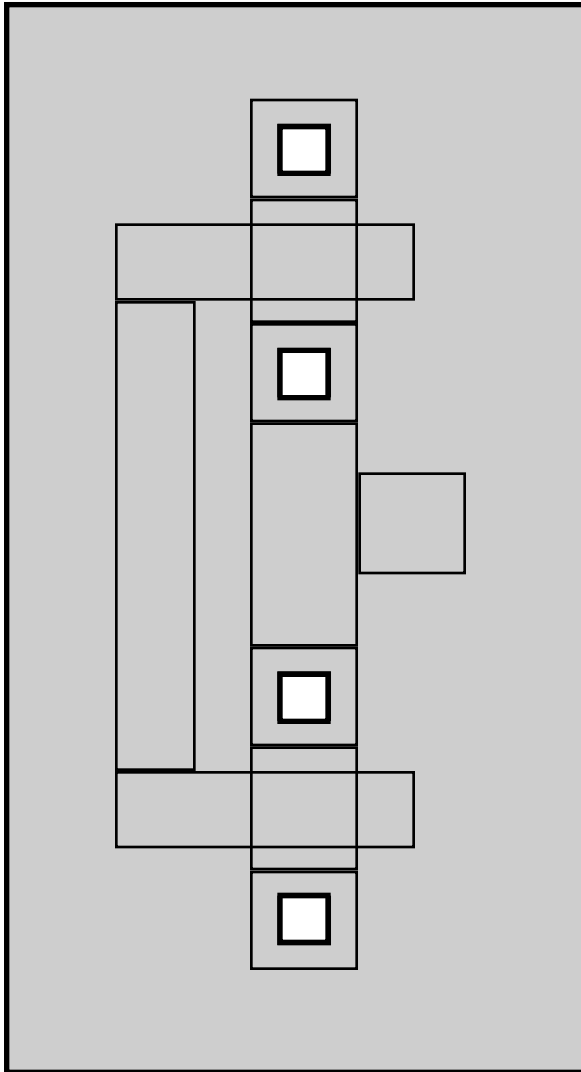


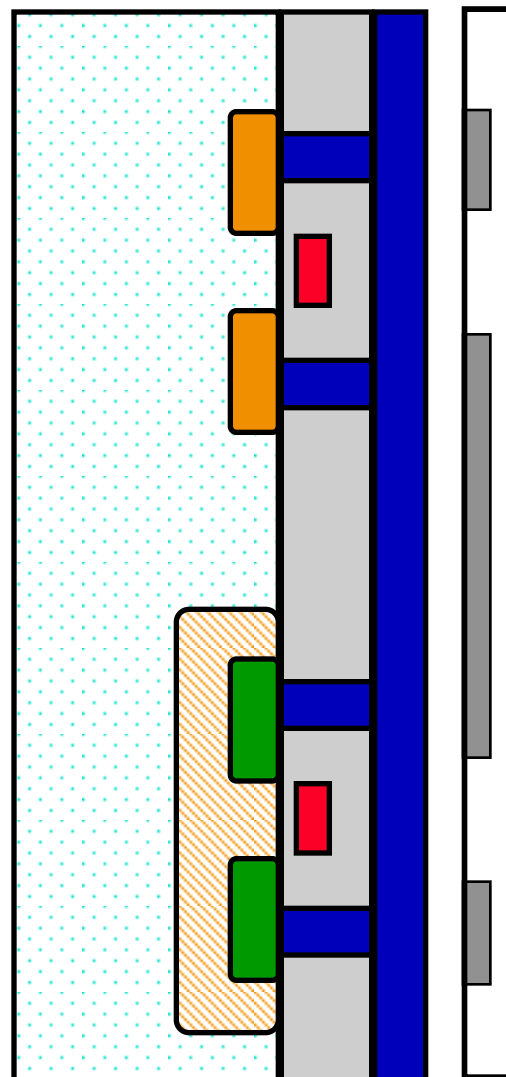
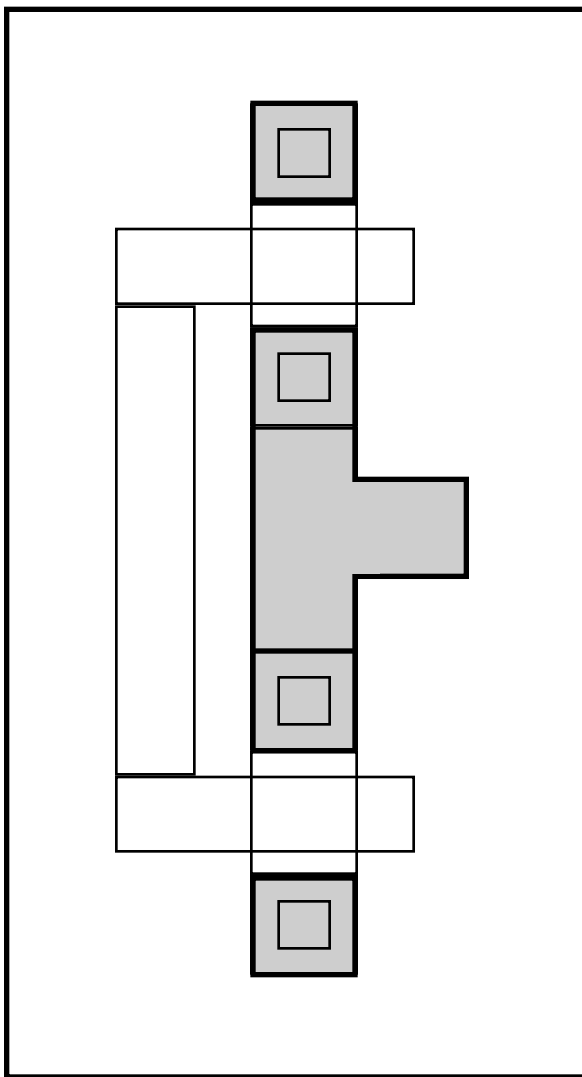


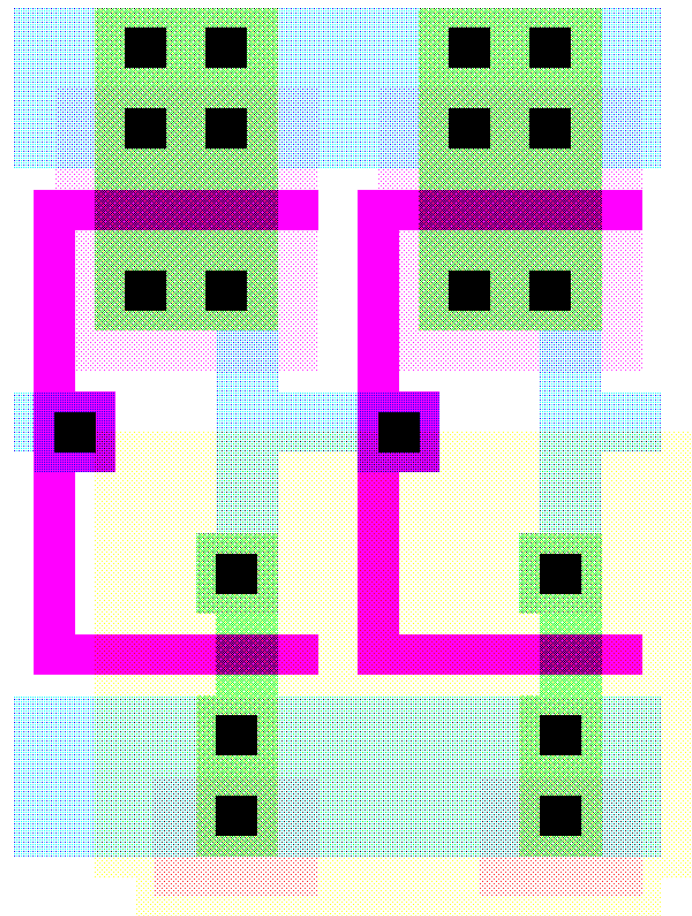
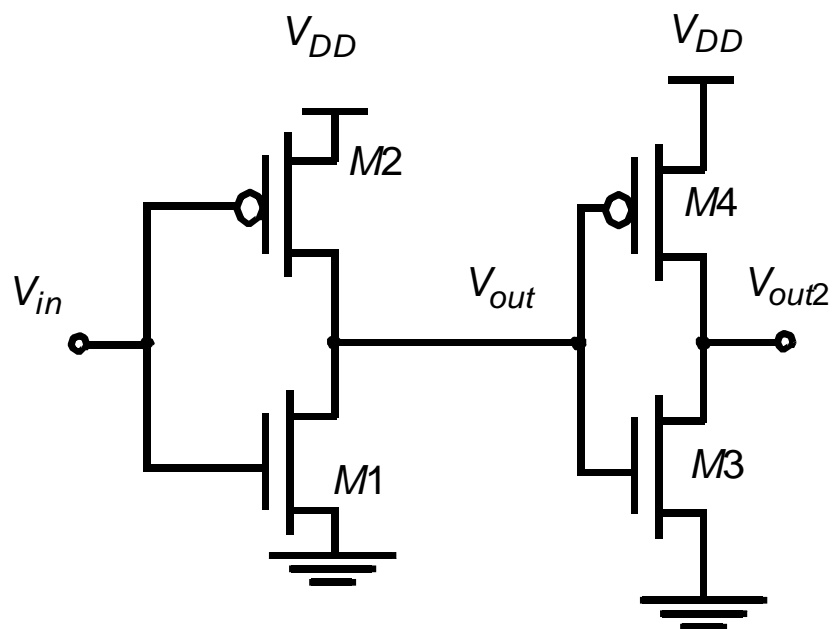






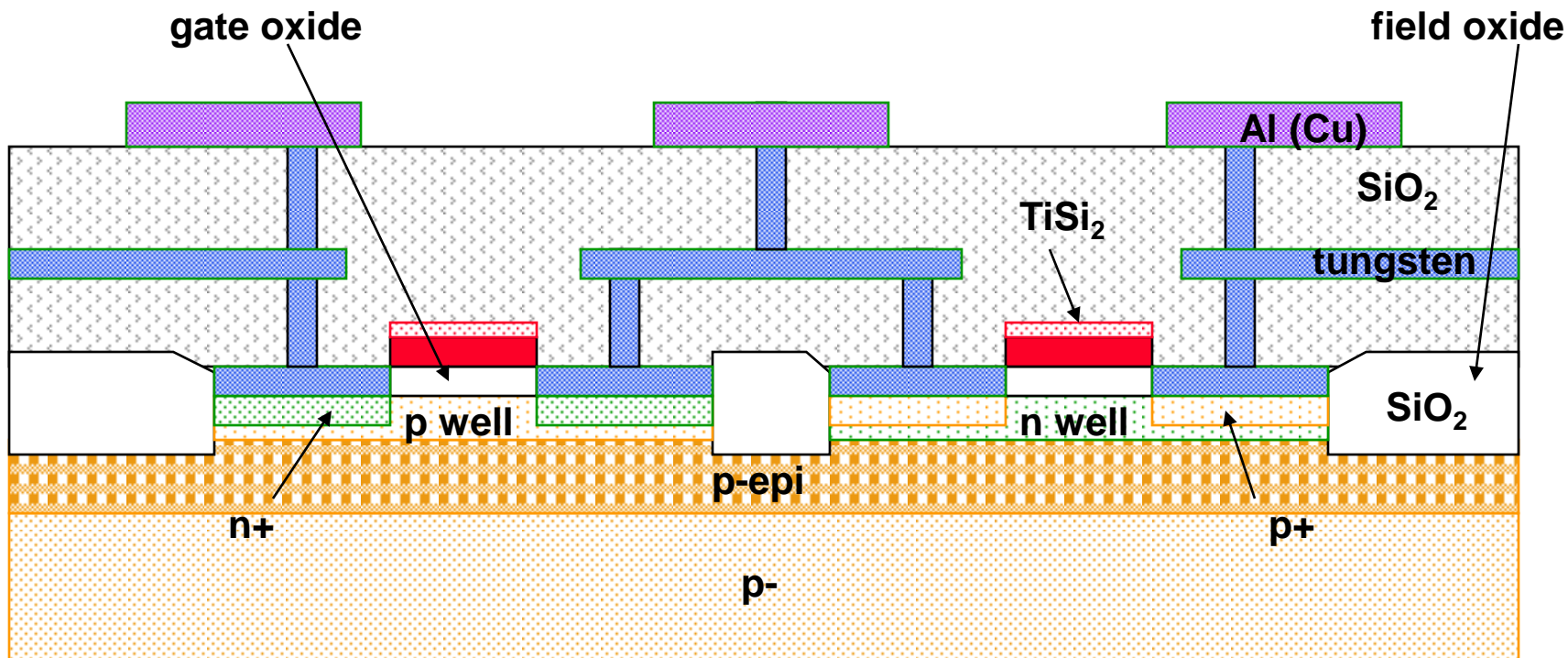


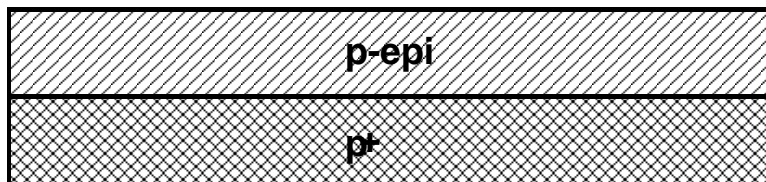




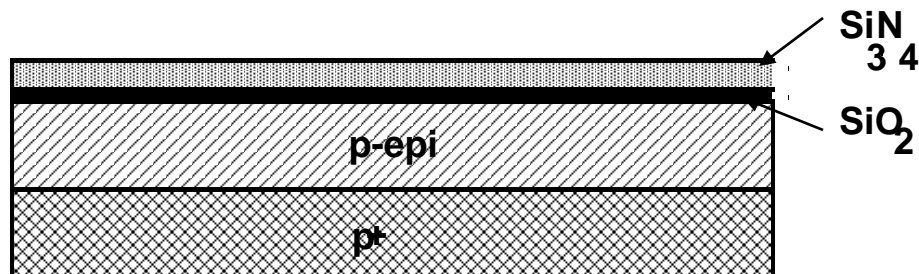
تصویر Layout

یک لایه epitaxy روی ویفر و تعریف دو ناحیه nwell , pwell

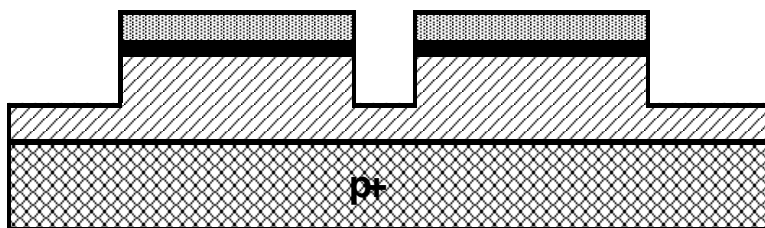




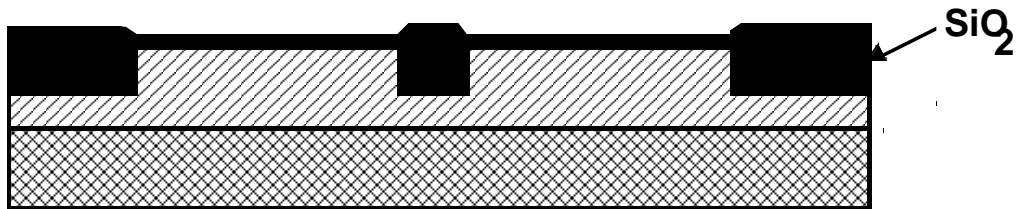
(a) Base material: p+ substrate with p-epi layer



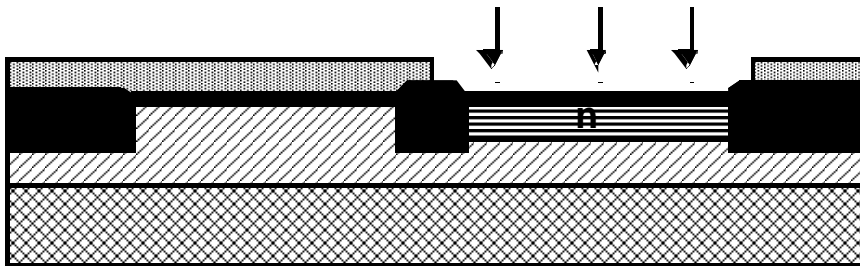
(b) After deposition of gate-oxide and sacrificial nitride (acts as a buffer layer)



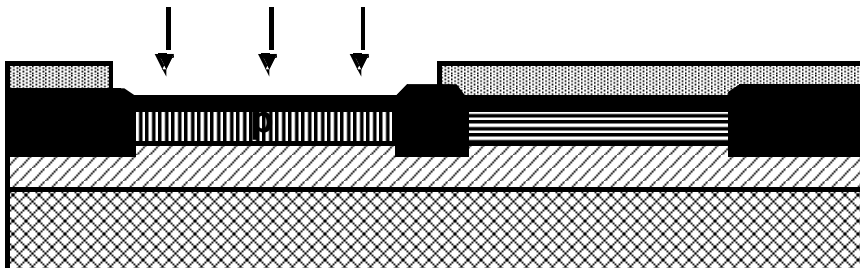
(c) After plasma etch of insulating trenches using the inverse of the active area mask



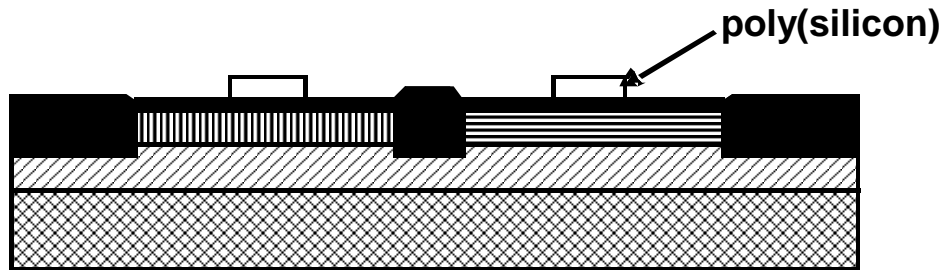
(d) After trench filling, CMP planarization, and removal of sacrificial nitride



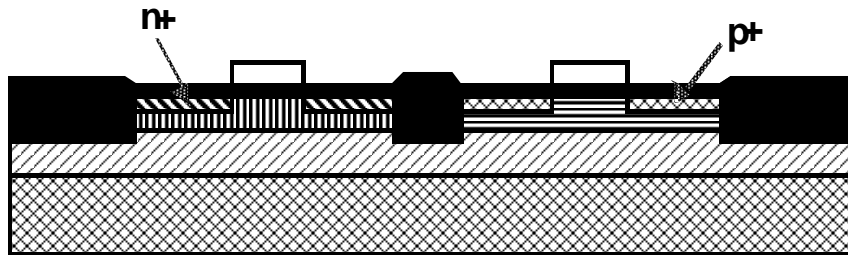
(e) After n-well and V_{Tp} adjust implants



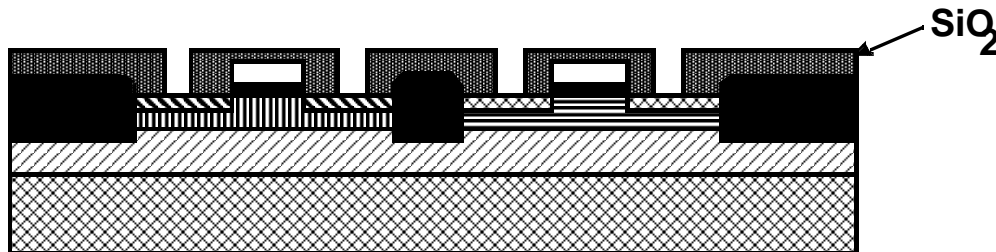
(f) After p-well and V_{Tn} adjust implants



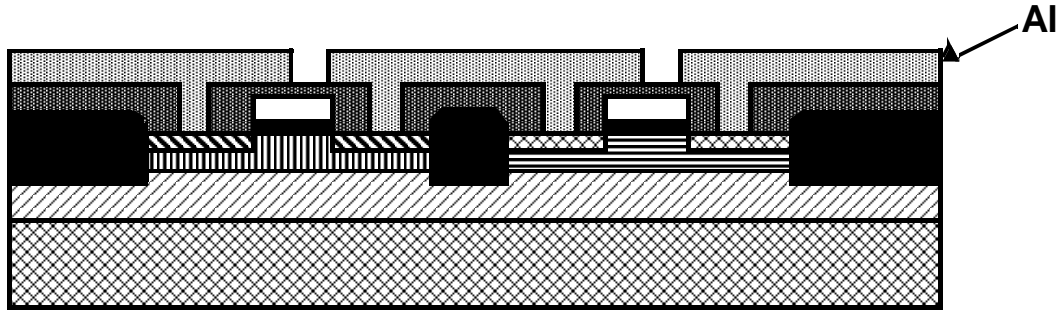
(g) After polysilicon deposition and etch



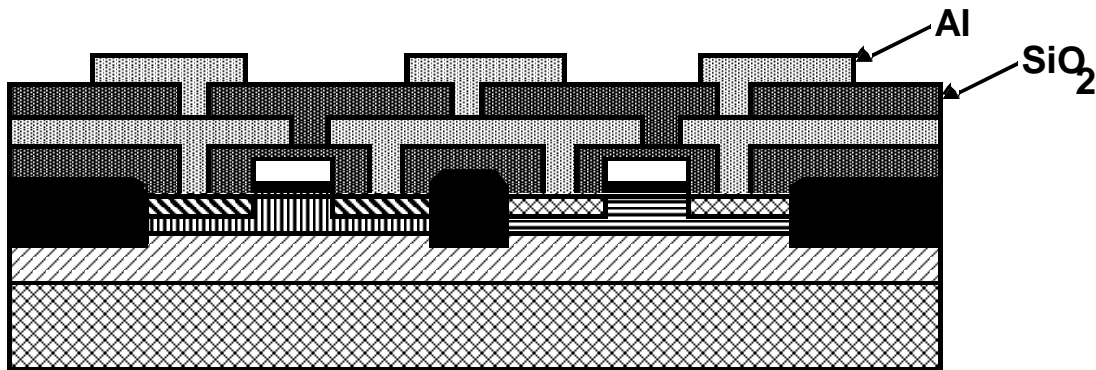
(h) After n+ source/drain and p+ source/drain implants. These steps also dope the polysilicon.



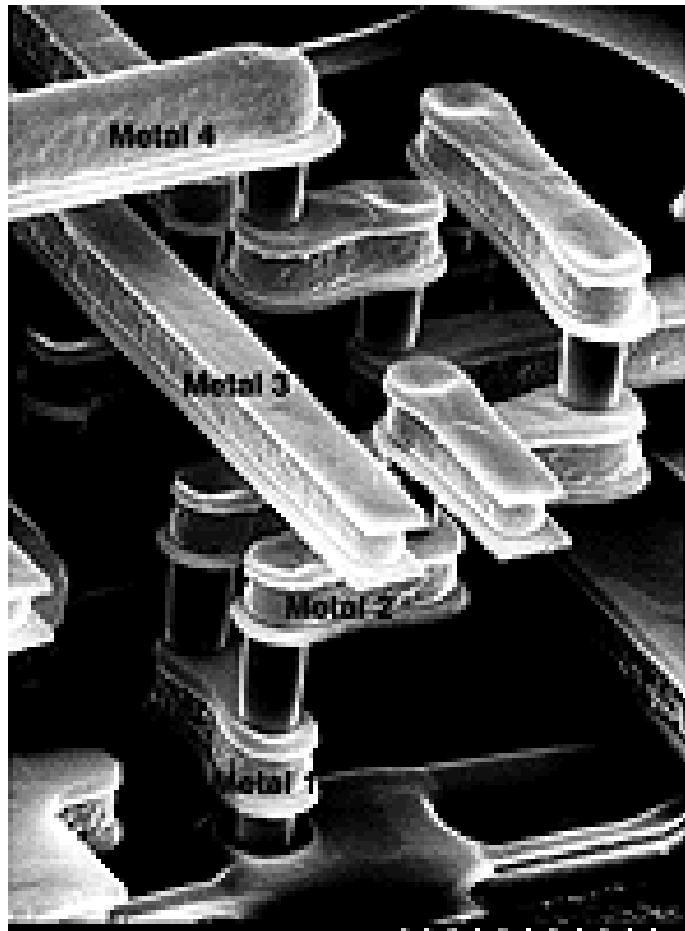
(i) After deposition of SiO_2 insulator and contact hole etch.



(j) After deposition and patterning of first Al layer.

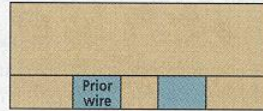


(k) After deposition of SiO₂ insulator, etching of via's, deposition and patterning of second layer of Al.

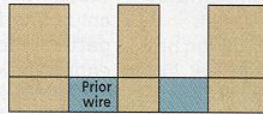


Dual damascene IC process

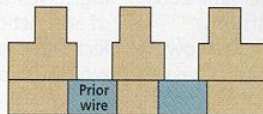
- Oxide deposition



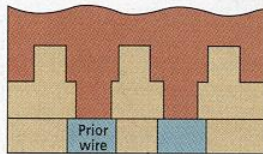
- Stud lithography and reactive ion etch



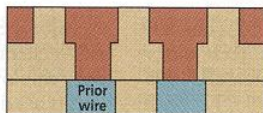
- Wire lithography and reactive ion etch



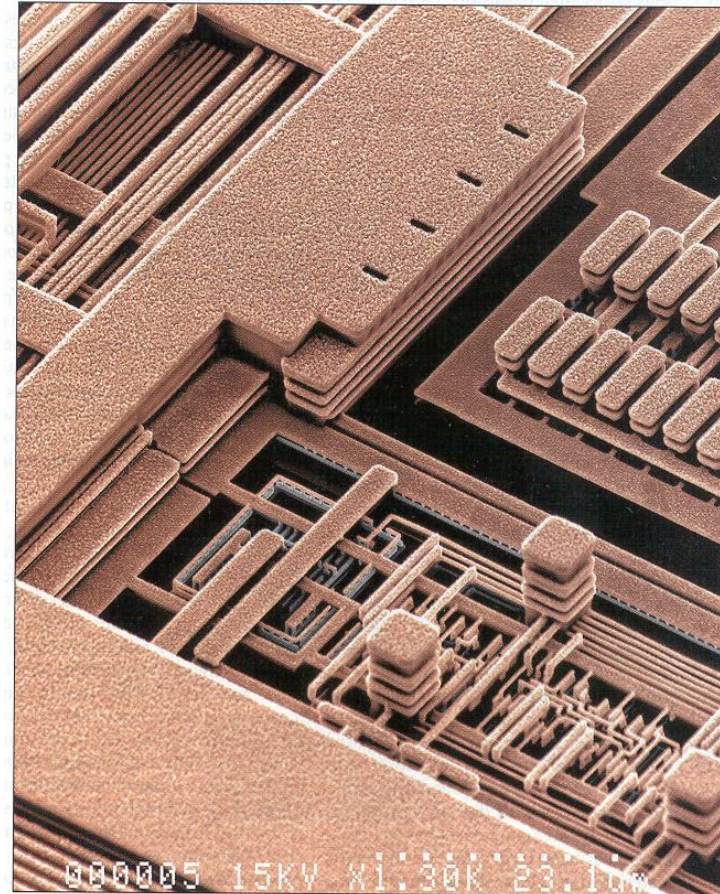
- Stud and wire metal deposition



- Metal chemical-mechanical polish



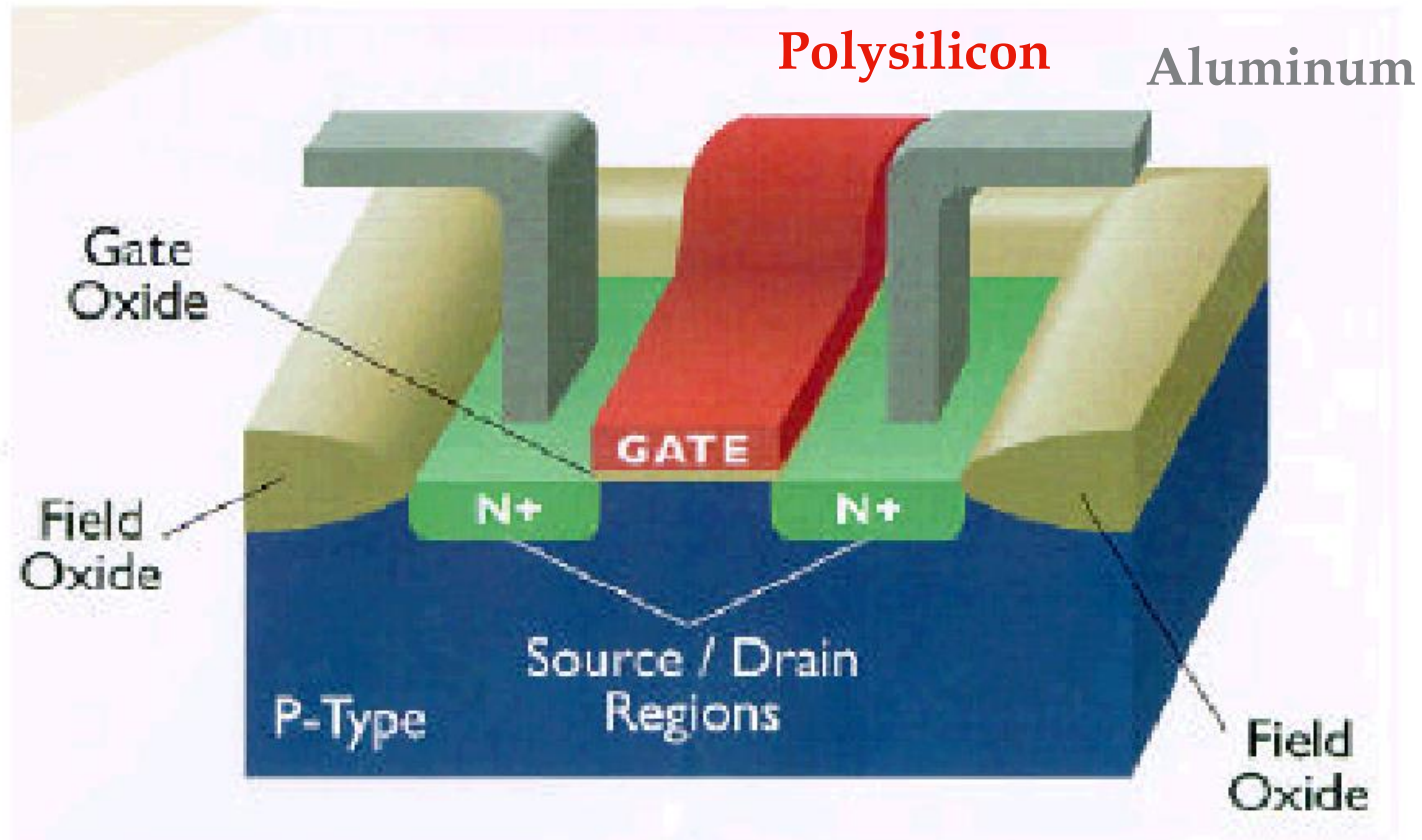
Source: IBM Corp.



قواعد طراحی

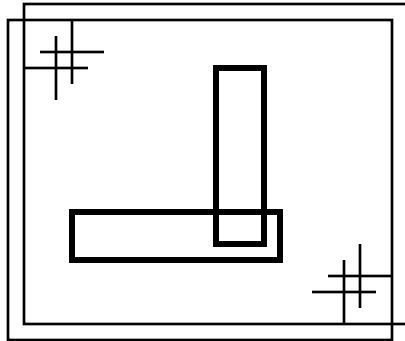
Design Rules

تصویر سه بعدی ساختار NMOS



- زبان مشترک بین مهندس طراح و مهندس ساخت
- خطوط راهنمای طراحی ماسک ها
- محدودیت هایی که فرایند ساخت به طراح اعمال می کند.
- **Design Rule** ها طرح را در مقابل خطاهای کوچک در فرایند ساخت محافظت می کنند و عدم رعایت آنها **Yield** را کاهش می دهد.
- واحد طول (حداقل طول خط)
- **Design Rule** های قابل تغییر مقیاس بر مبنای λ بیان می شوند (نصف حداقل طول خط)
- **Design Rule** های مطلق: بر مبنای میکرون بیان می شوند.

□ خطاهایی که در هنگام ساخت ممکن است اتفاق بیفتد

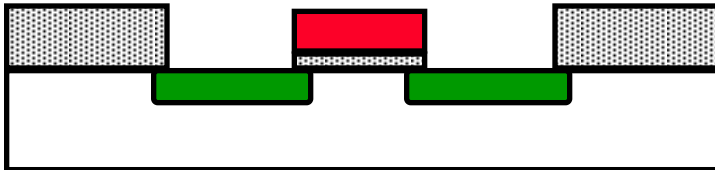











□ عدم انطباق ماسک ها

□ وجود گرد و غبار و آلودگی



















□ نفوذ جانبی ناحیه N^+ و P^+ و NWELL

□ ناهمواری های سطحی

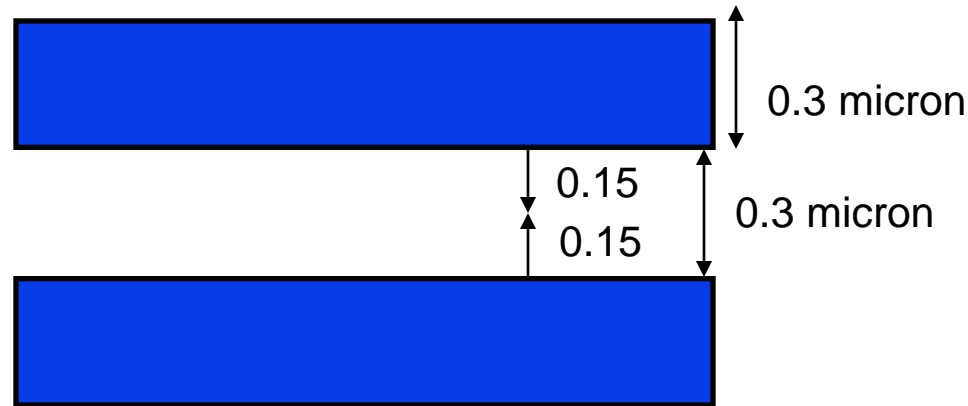


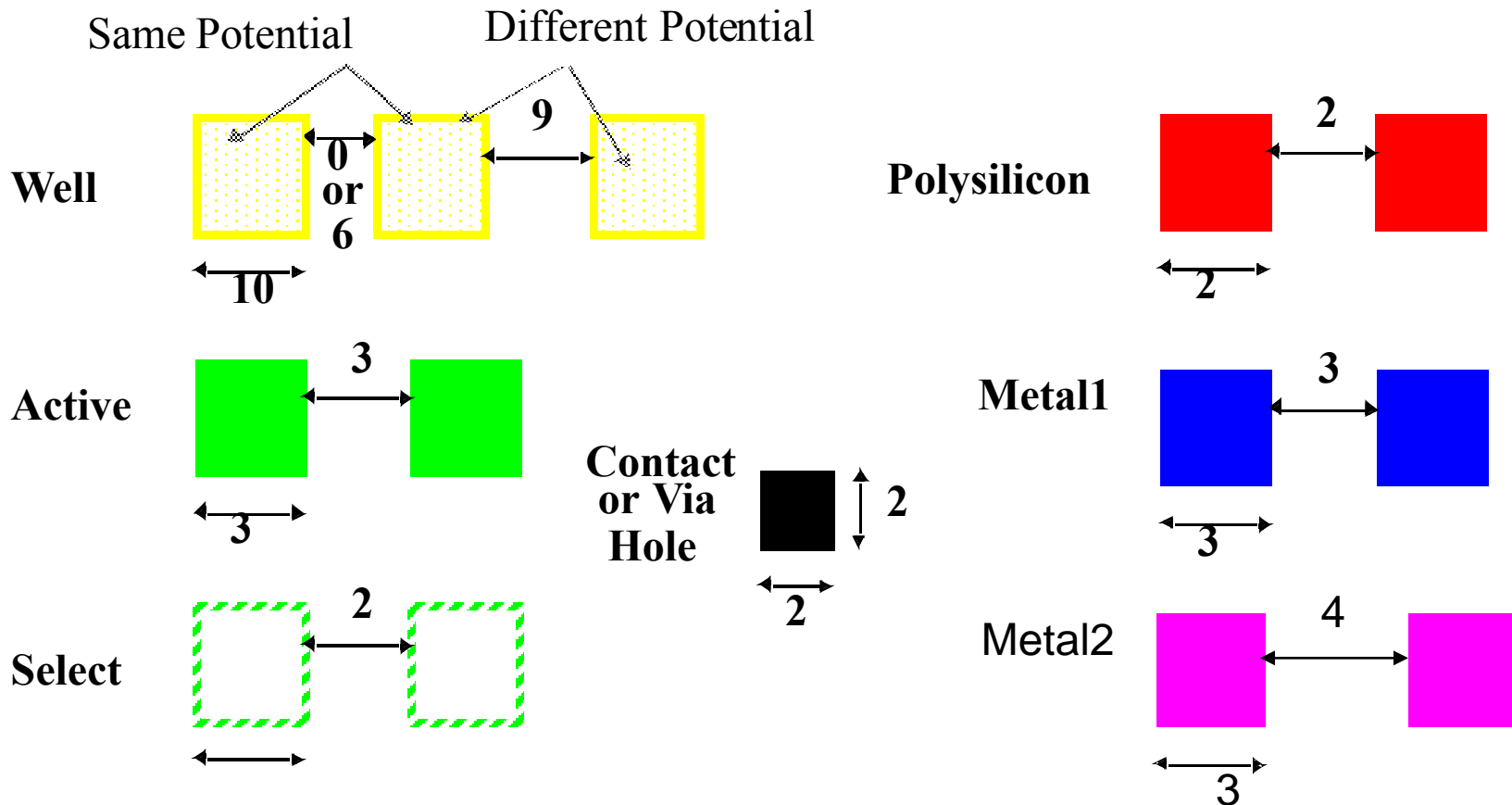
Layer	Color	Representation
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

تعریف لایه ها در فرایند ساخت $0.25 \mu\text{m}$

Layer Description	Representation				
metal	 m1	 m2	 m3	 m4	 m5
well	 nw				
polysilicon	 poly				
contacts & vias	 ct	 v12,v23,v34,v45	 nwc	 pwc	
active area and FETs	 ndif	 pdif	 nfet	 pfet	
select	 nplus	 pplus	 prb		

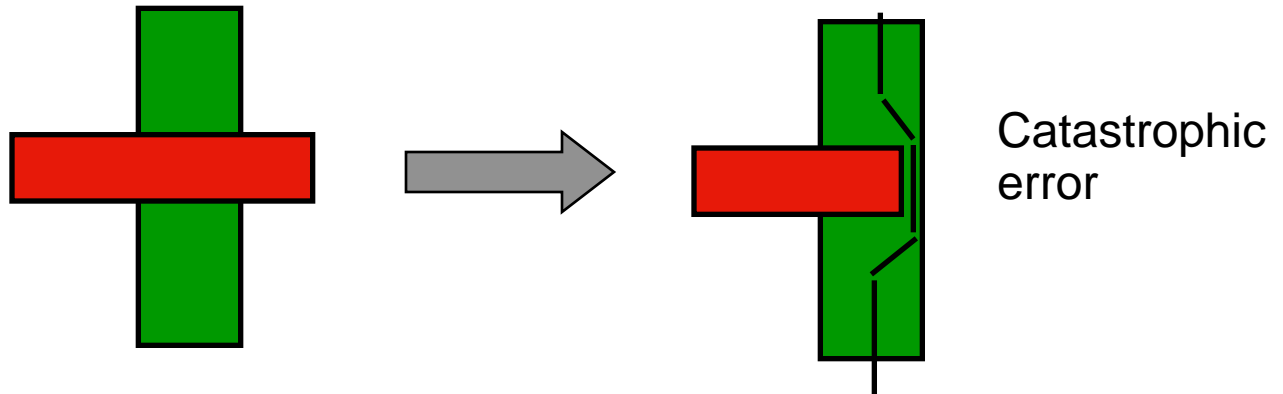
- حداقل عرض یک لایه که امکان ساخت آن با فرایند لیتوگرافی وجود دارد. (رزلوشن فرایند لیتوگرافی حداقل عرض خط را محدود می کند).
- حداقل فاصله بین دو خط بصورتیکه در فرایند ساخت اتصال کوتاه نشوند.



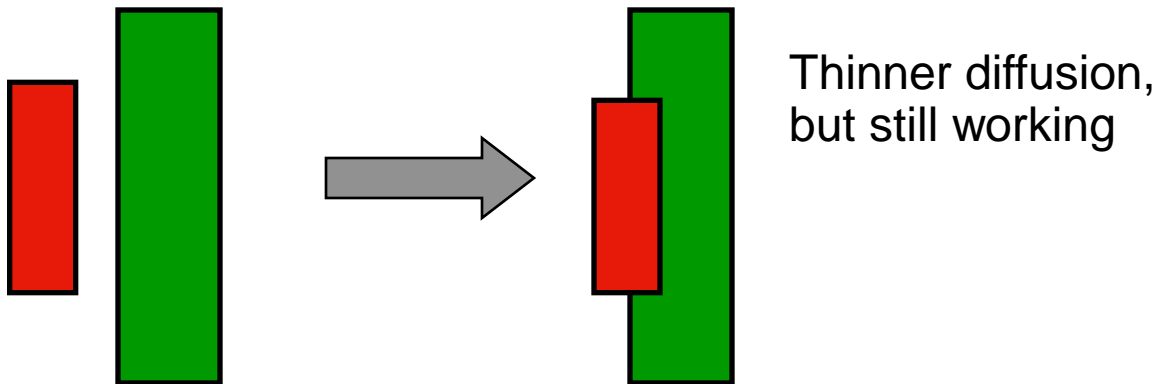


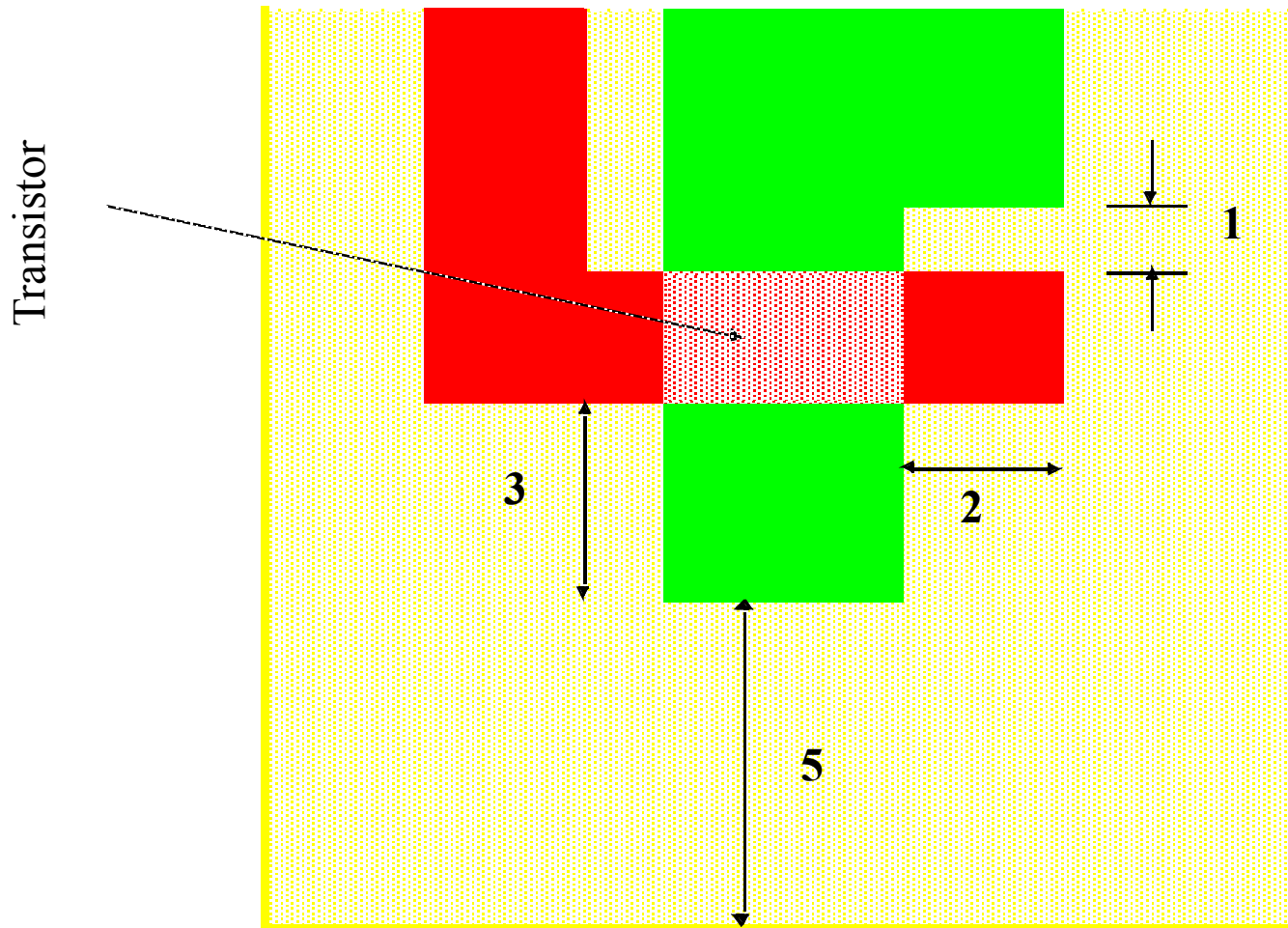
1. ترانزیستور ها از انطباق ماسک ناحیه فعال و پلی سیلیکان ایجاد می شوند و عدم انطباق باعث خطا می شود.

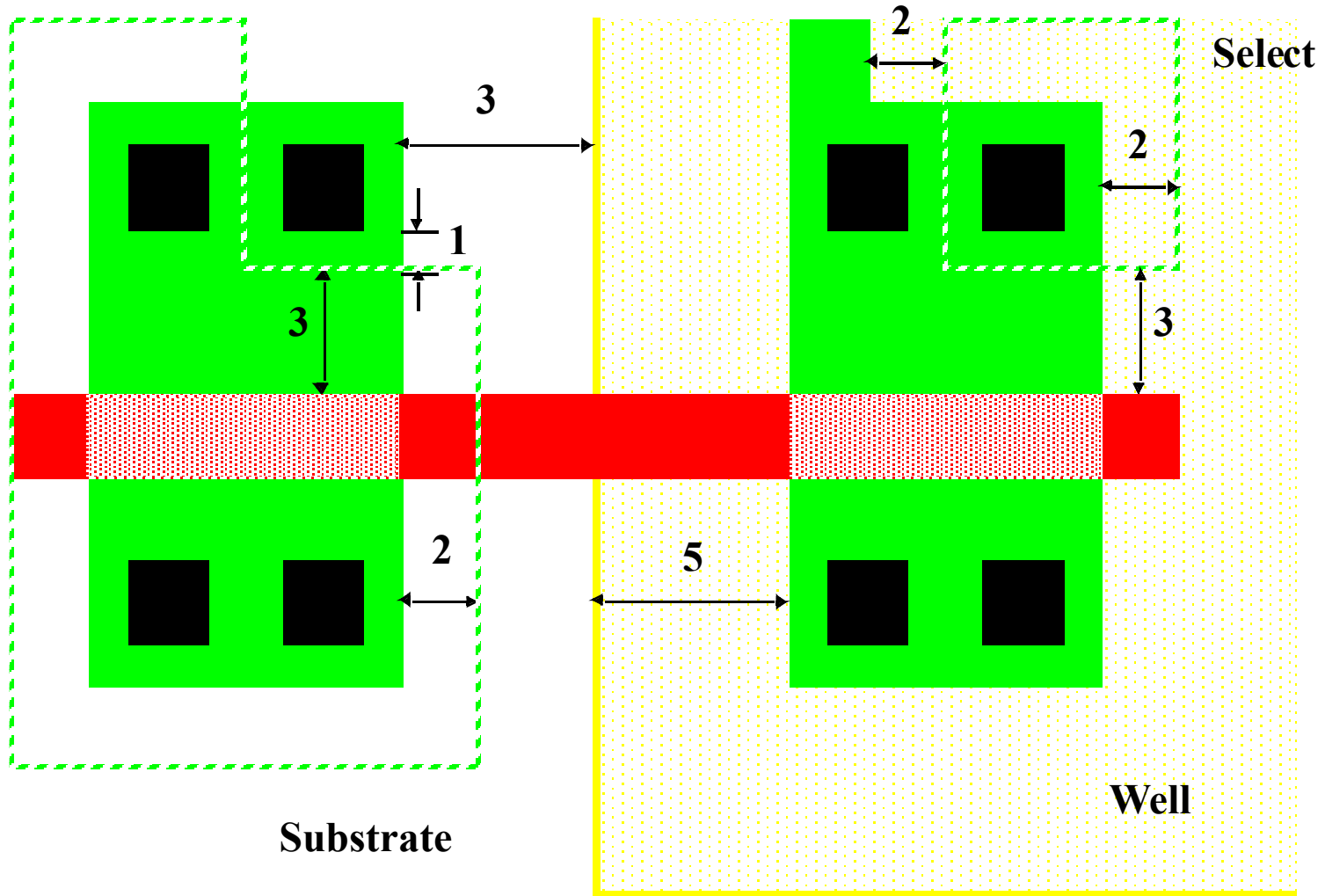
Transistors



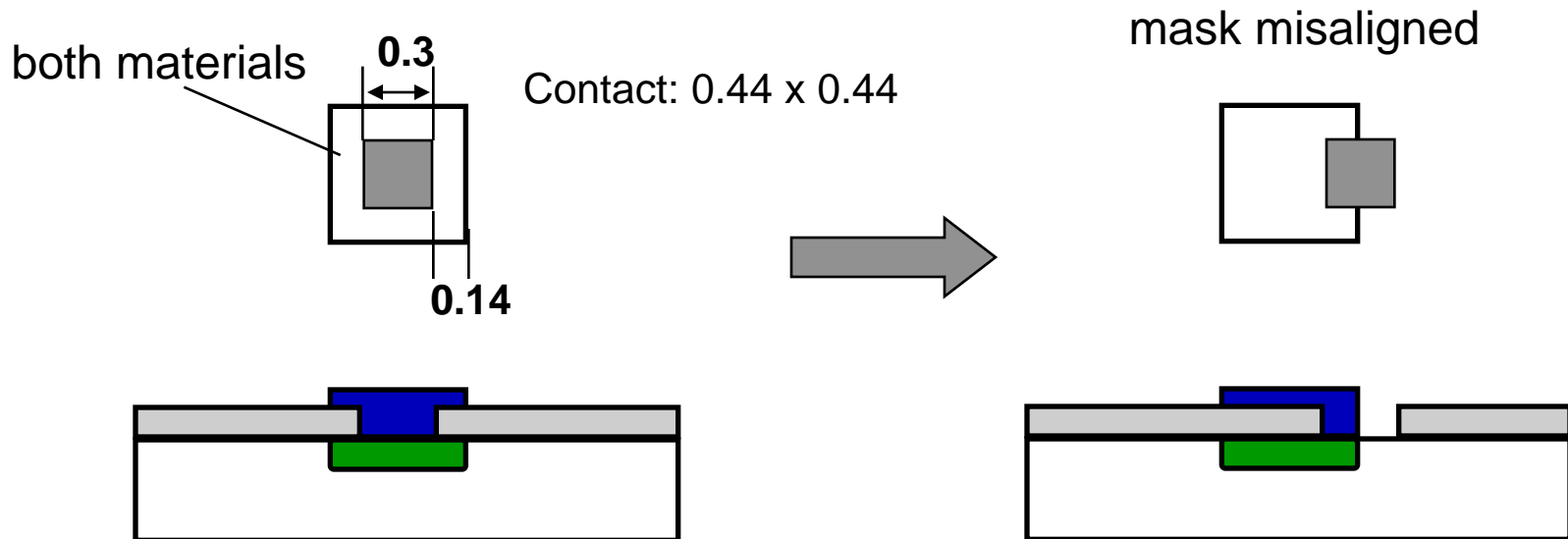
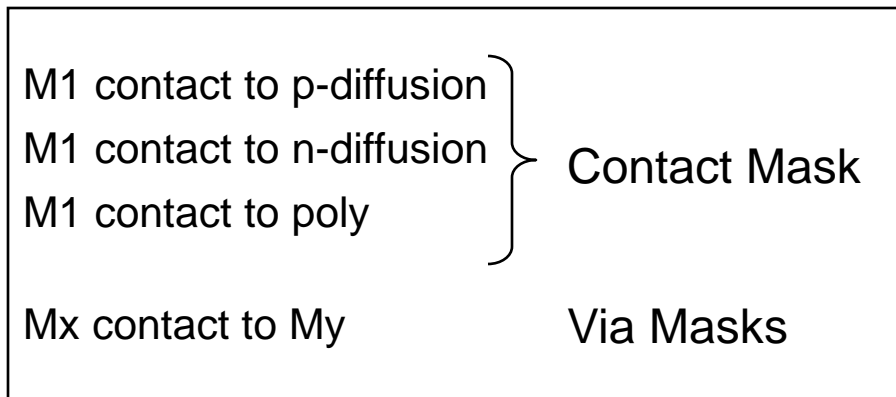
Unrelated Poly & Diffusion

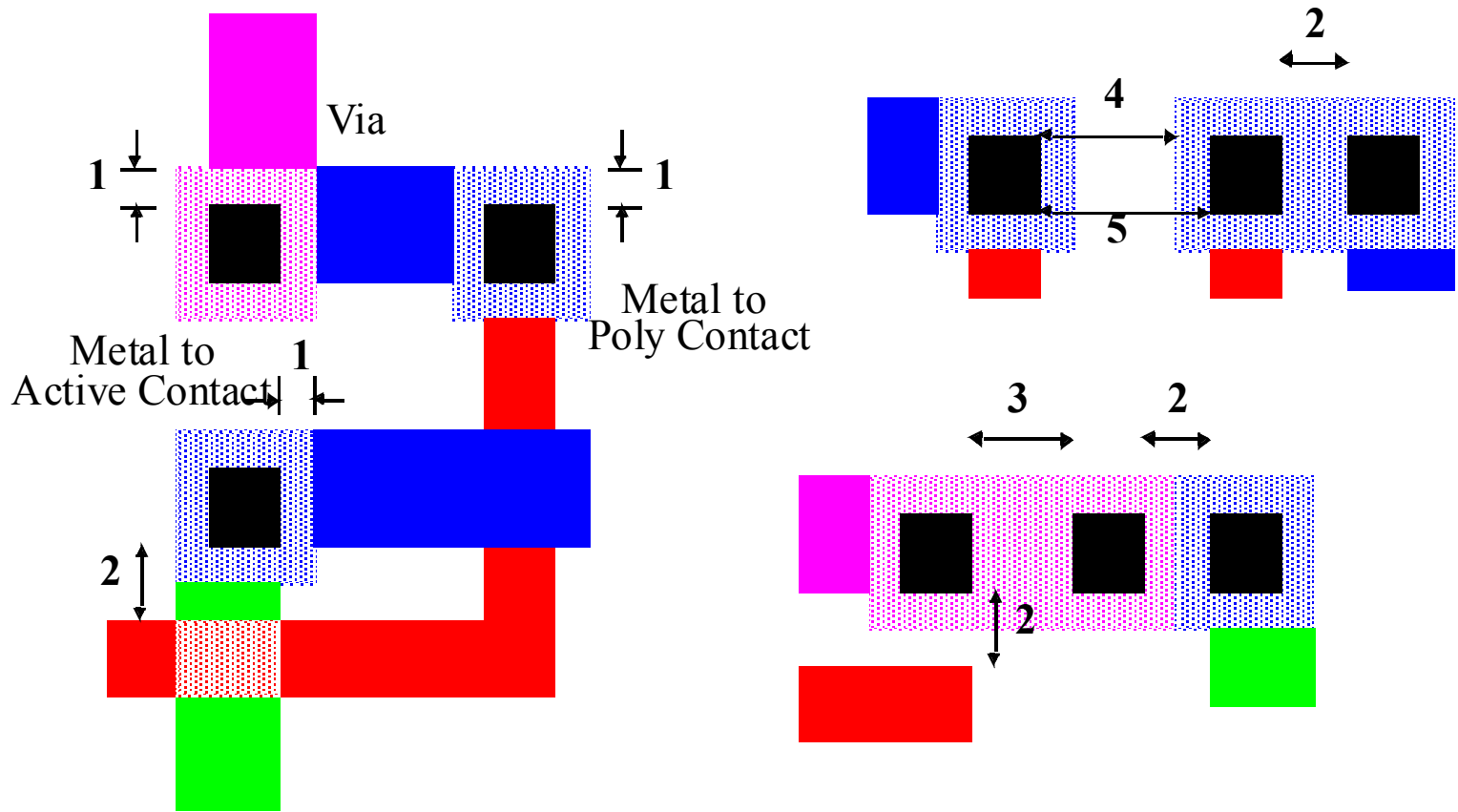


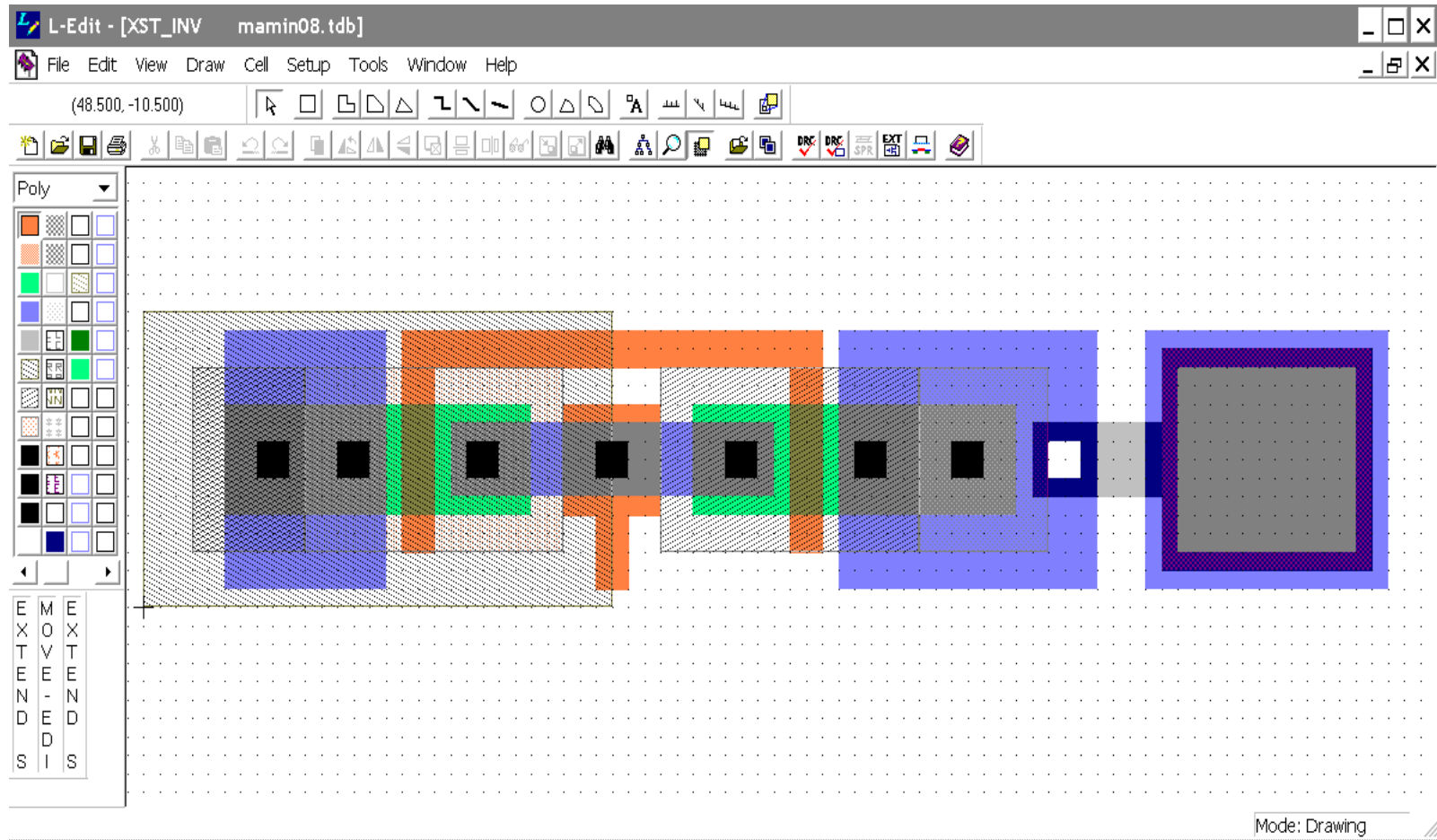




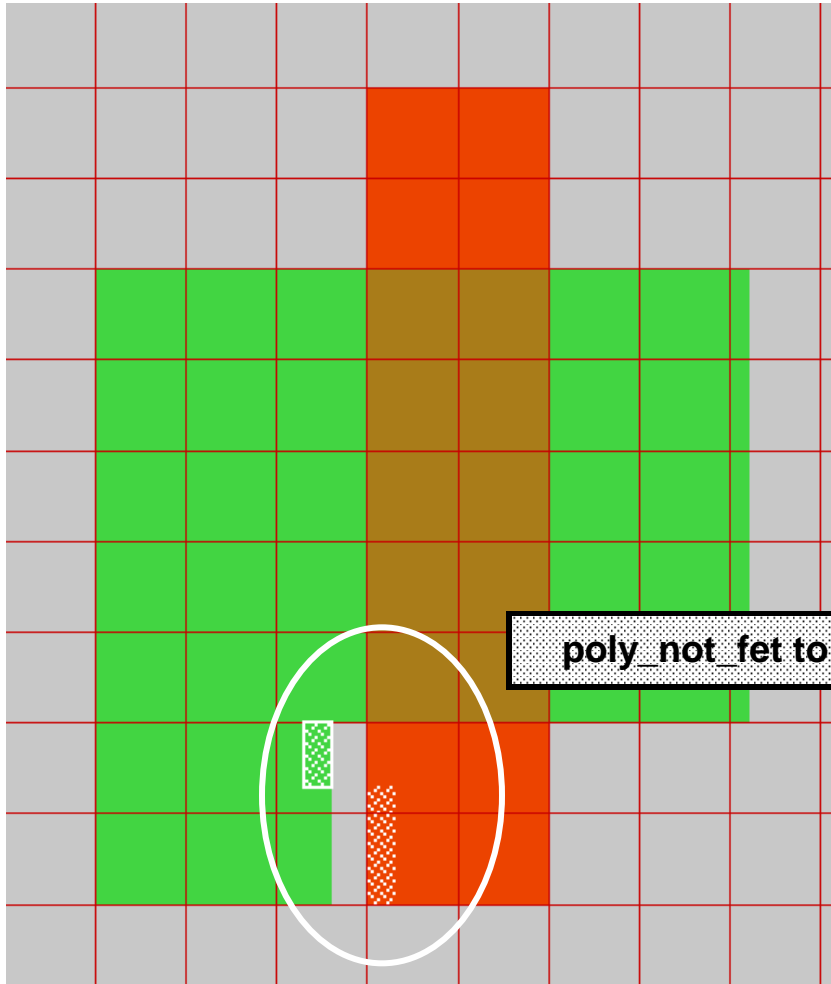
عدم انطباق ماسکها



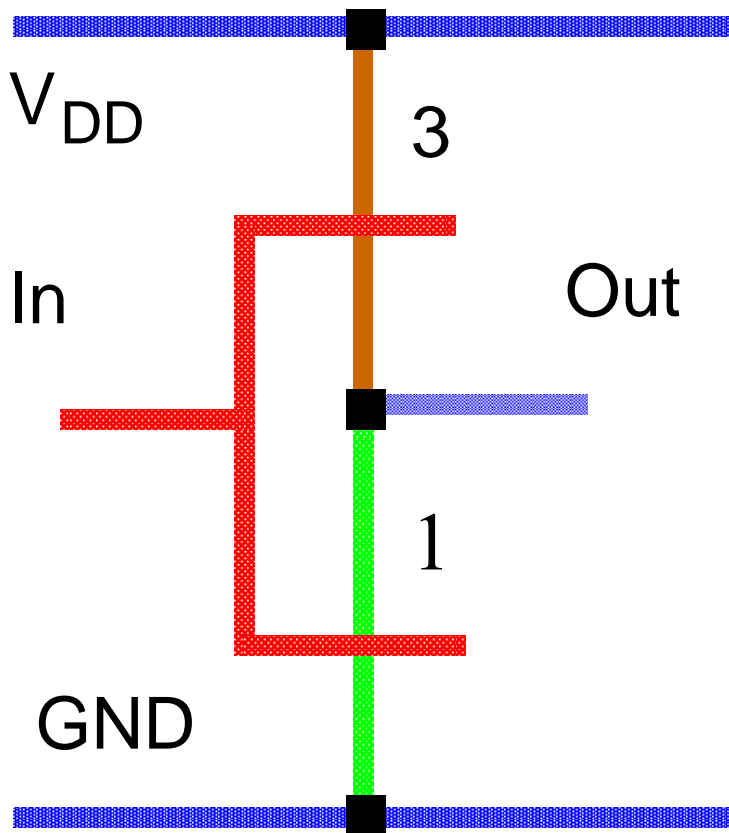




کنترل اتوماتیک Design Rule ها



poly_not_fet to all_diff minimum spacing = 0.14 um.



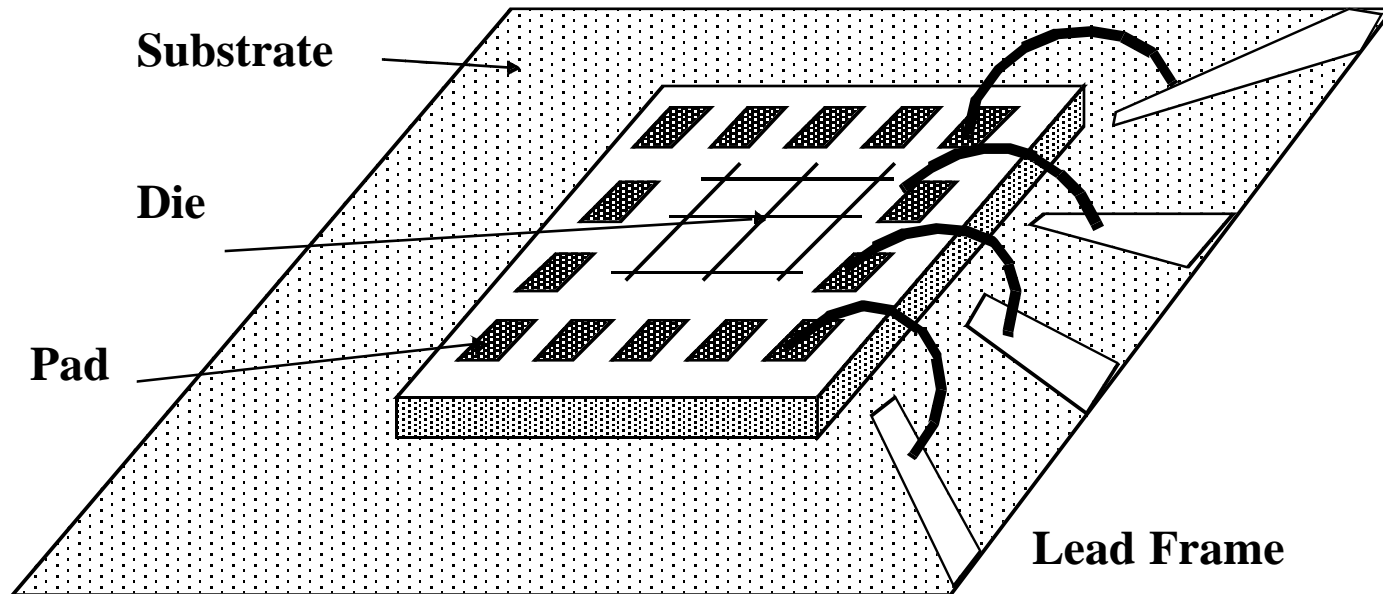
- نقشه لی آوت بدون مشخص کردن ابعاد فقط توپولوژی مهم است.
- هدف بهینه سازی ساختار و رسم حدودی layout بصورت دستی و سریع است.

Stick diagram of inverter

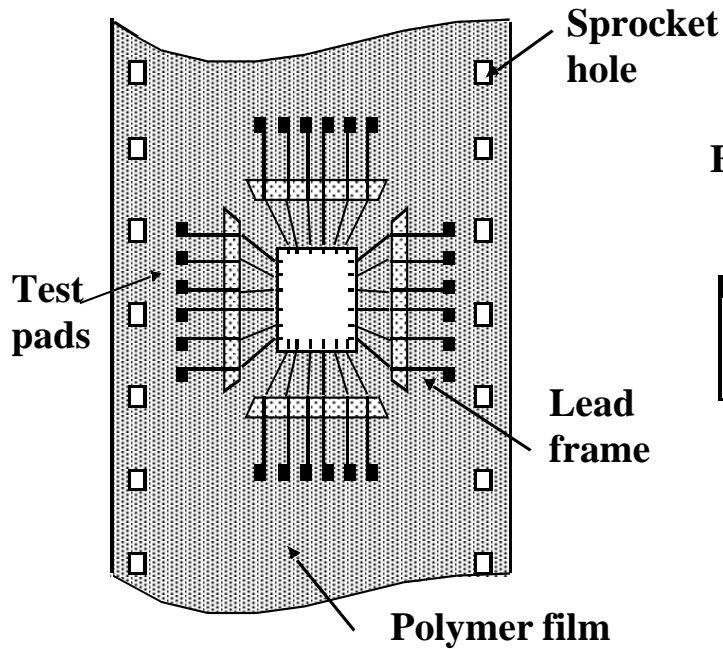
Packaging

- الزامات الکتریکی: اثرات پارازیتی کم
- الزامات مکانیکی: استحکام و قابلیت اعتماد
- الزامات حرارتی: انتقال موثر حرارت
- قیمت: ارزان

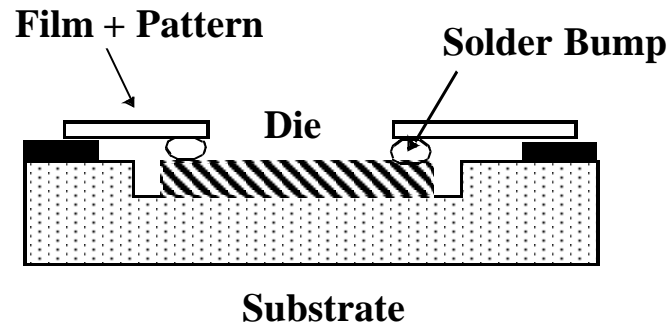
Wire Bonding



Tape-Automated Bonding (TAB)

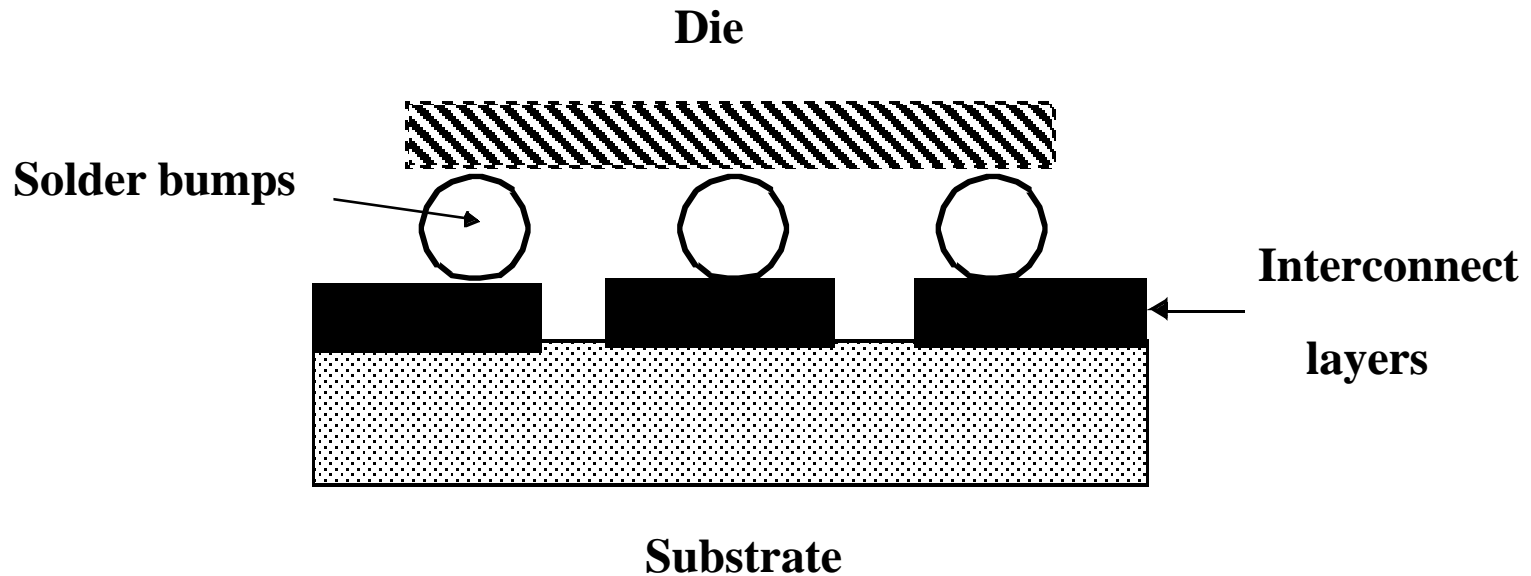


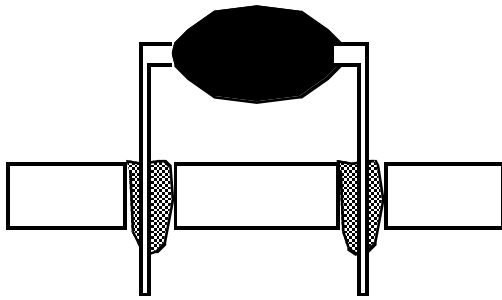
(a) Polymer Tape with imprinted wiring pattern.



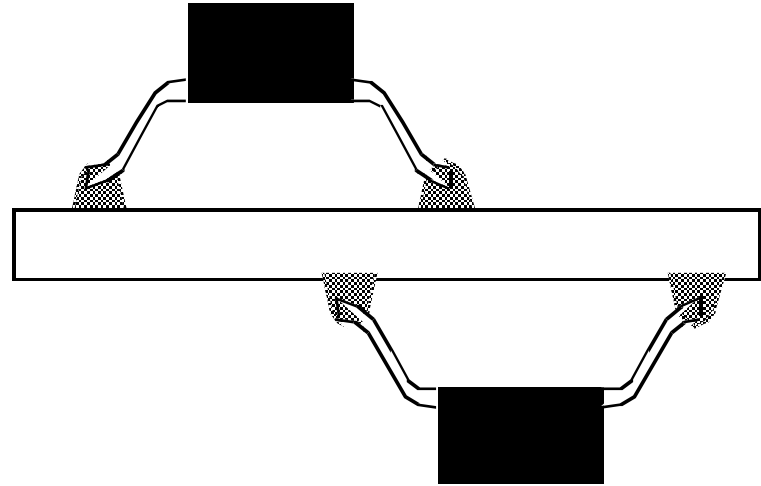
(b) Die attachment using solder bumps.

Flip-Chip Bonding

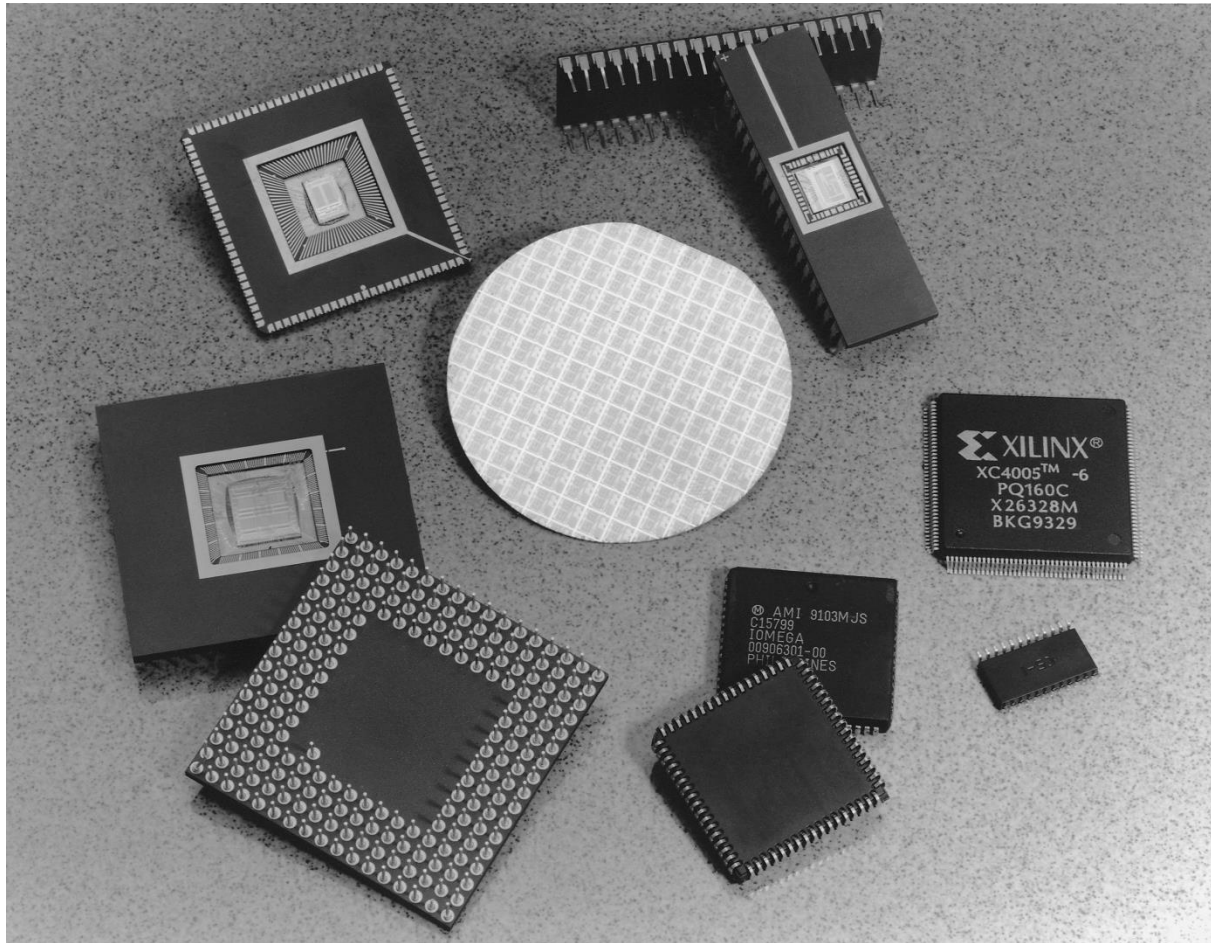




(a) Through-Hole Mounting

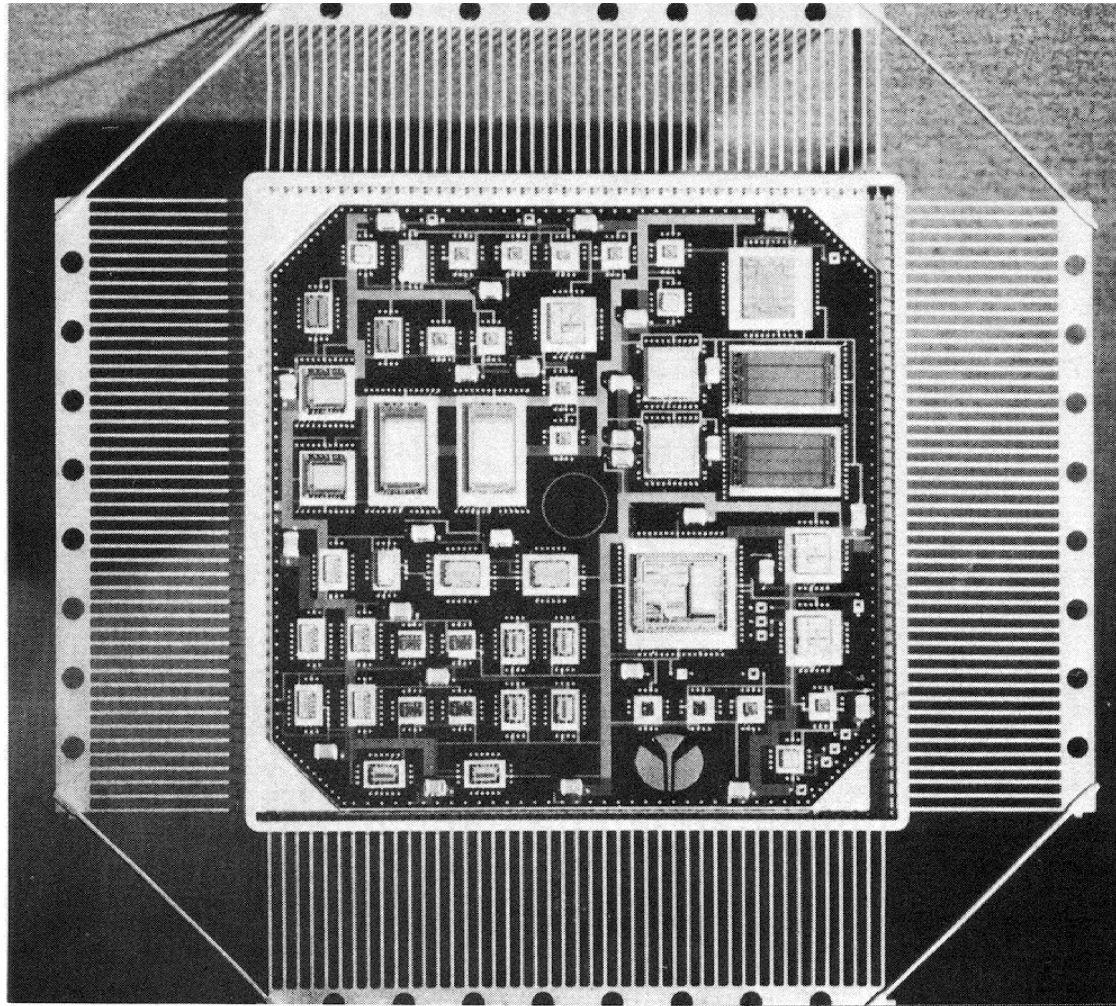


(b) Surface Mount



Package Type	Capacitance (pF)	Inductance (nH)
68 Pin Plastic DIP	4	35
68 Pin Ceramic DIP	7	20
256 Pin Pin Grid Array	5	15
Wire Bond	1	1
Solder Bump	0.5	0.1

Typical Capacitances and Inductances of Various Package and Bonding Styles (from [Sze83])



□ درس بعدی

● ترانزیستور MOS